



TEKNOLOJİ FAKÜLTESİ

YMT-215 LOGIC CIRCUITS

İÇİNDEKİLER

Deney 1 SAYI SİSTEMLERİ	2
Deney 2 LOJİK KAPILAR (VE/VEYA/DEĞİL)	7
Deney 3 LOJİK KAPILAR (VE DEĞİL / VEYA DEĞİL / ÖZEL VEYA / ÖZEL VEYA DEĞİL)	14
Deney 4 DECODER, MULTIPLEXER VE DEMULTIPLEXER	20
Deney 5 7 SEGMENT VE DOTMATRİKS DISPLAY' LER	26
Deney 6 ARİTMETİK DEVRELER – KARŞILAŞTIRICI	32
Deney 7 ARİTMETİK DEVRELER – TAM TOPLAYICI	34
Deney 8 FLİP-FLOP' LAR	36
Deney 9 FLİP-FLOP' LARLA ASENKRON SAYICI TASARIMI	41
Deney 10 SAYICILAR – 7493 ve 4026	44
Deney 11 FLİP-FLOP' LARLA SENKRON SAYICI TASARIMI	48
Deney 12 SAYICILAR - 74193	51
Deney 13 SAYICILAR - 74192	54
Deney 14 SHIFT REGISTER (KAYDIRMALI KAYDEDİCİ)	58

LOJİK DEVRELER LABORATUVARI

DENEY NO : 1

DENEYİN ADI : SAYI SİSTEMLERİ

Sayı Sistemleri

Günlük hayatta onluk sayı sistemi kullanılmaktadır. Bu bölümde ise dijital elektronikte kullanılan ikili (Binary), Sekizlik (Octal), Onaltılık (Hexadesimal) sayı sistemleri açıklanacaktır.

Onluk Sistemleri

(0,1,2,3,4,5,6,7,8,9) rakamlarının kullanıldığı sayı sistemidir. Her sayı sistemi bir digit, rakam, bit olarak ifade edilir.

İkili Sayı Sistemleri

Dijital elektronikte en çok kullanılan sayı sistemidir. Sayı değeri oluşturmada 0 -1 rakamları kullanılır. Bunun nedeni elektronik devrelerinin çoğunu iki konumlu olarak çalıştırmak mümkün olmasıdır. “Gerilim vardır ya da yoktur”; “anahtar açıktır ya da kapalıdır”; “transistör iletimdedir ya da kesimdedir” gibi kesin iki konum vardır.. İkili (binary) sayı sisteminde “0” yokluğu ya da belli bir değere göre düşük değeri (LOW) ; “1” ise varlığı ya da yüksek değeri temsil etmektedir. Bu sayı sistemi kullanılarak tasarlanan sistemler basit ve güvenilir bir başka deyişle hata oranı en az seviyeye indirilmiş sistemlerdir. Yalnızca iki gerilim değişkeni kullanarak çalışan cihaz üretmek, on farklı gerilim durumu ile çalışan cihaz üretmekten daha kolaydır.

İkilik sayı sistemlerinde taban 2’dir. 4 bitlik binary sayıda bit ağırlıkları: 2³ 2² , 2¹, 2⁰; 5 bitlik ikili tabanda ise : 2⁴, 2³, 2²,2¹, 2⁰ . Bu sayı ağırlıklarında, bit ağırlığının en küçük olduğu bite “En Küçük Değerlikli Bit” (Least Significant Bit-LSB) , bit ağırlığının en yüksek olduğu bit ise “En Büyük Değerlikli Bit” (Most Significant Bit -MSB) denir.

5 Bitlik Sayı: (1 1 0 1 1)₂

MSB LSB

Sekizlik (Oktal) Sayı Sistemi :

0,1,2,3,4,5,6,7 sayılarını kullanan sayı sistemidir. 8 değişik durum vardır ve tabanı 8 dir.

Örnek:

$$(64)_8 : 6 \times 8^1 + 4 \times 8^0 = 52$$

$$(64)_{10} : 1 \times 8^2 + 0 \times 8^1 + 0 \times 8^0$$

Onaltılık (Hexadecimal) Sayı Sistemi :

Onluk sayı sistemindeki rakamlar (0,1,2,3,4,5,6,7,8,9) ve A, B, C, D, E, F harfleri ile sembolize edilir.

Onluk Sayılar	İkilik Tabanda	Onaltılık Tabanda
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

Tablo 1 - Onluk, İkilik ve Onaltılık Tabanda Sayıların Karşılıkları

KODLAR

Dijital elektronikte yapılan işlemleri kolaylaştırmak ve hata oranı azaltmak amacı ile kodlar kullanılır. Dijital sistemlerde kullanılması gereken en uygun üniteler, iki çalışma durumu bulunan elektronik devrelerle yapılan elektronik devrelerdir. Günlük hayatımızda en çok kullanılan sistemler onluk sistemdir. Bu nedenle bilgisayar verilerinin onluk sistemde olması gerekmektedir. Bundan başka bilginin gösterilmesinde ya da transferinde ikili olmayan bir sistemin tercih edilmesine neden olan, genellikle çok fazla fiziksel sınırlamaların varlığıdır. Bu sınırların aşılmasında kodların önemi büyüktür.

BCD Kod (Binary Coded Decimal – İkili Kodlu Onluk Kod)

Bu kod sistemi ikilik sayıların onluk sayılara çevrilmesinde kullanılan en basit kod sistemidir. Bu kod sisteminde verilen onluk sayının her bir rakamının ikilik karşılığı bulunur. Bulunan 4 bitlik ikilik sayılar yan yana yazılarak, verilen onluk sayının BCD kodunda ikili sayılarla ifade edilen karşılığı elde edilir.

Örnek :

Onluk = 9

BCD = 1001

Onluk = 1 0
BCD = 0001 0000

Onluk = 7 2 3
BCD = 0111 0010 0011

<i>Onluk Tabanda</i>	<i>BCD</i>	<i>Onluk Tabanda</i>	<i>BCD</i>
0	0000	10	0001 0000
1	0001	11	0001 0001
2	0010	12	0001 0010
3	0011	13	0001 0011
4	0100	14	0001 0100
5	0101	15	0001 0101
6	0110	16	0001 0110
7	0111	17	0001 0111
8	1000	18	0001 1000
9	1001	19	0001 1001

Tablo 2 - Onluk Tabandaki Sayıları BCD Karşılıkları

Oktal Kod :

Bu kod sistemi sekizlik sayılar, 3 bitlik sayılarla ifade edilirler. Bu kod sistemi dijital sistemlerde giriş ve çıkış uygulamasında kullanılmaktadır.

Örnek :

4 2 4 3 7 1 0 5
100 010 100 011 111 001 000 101

<i>Onluk Tabanda</i>	<i>Oktal Kod</i>
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

Tablo 3 - Onluk Tabandaki Sayılar Oktal Kod Karşılıkları

Oktal kod ile sekizlik tabanda sayının onluk tabanda karşılığı kolayca bulunabilir.

Örnek :

$$(46)_8 = (100\ 110)_2 = (1 \times 32 + 0 \times 16 + 0 \times 8 + 1 \times 4 + 1 \times 2 + 0 \times 0)_{10} = (38)_{10}$$

Hexadesimal Kodu

Bu kod sisteminde onaltılık tabandaki sayılar, 4 bitlik ikilik tabanda sayılar ile ifade edilir. Bu kod sistemi de oktal kod gibi dijital sistemlerde giriş ve çıkış bilgilerinin kodlanmasında kullanılır.

Örnek :

9 3 E F
1001 0011 1110 1111

Sayı	Hexadesimal Kodu	Sayı	Hexadecimal Kodu
0	0000	8	1000
1	0001	9	1001
2	0010	A	1010
3	0011	B	1011
4	0100	C	1100
5	0101	D	1101
6	0110	E	1110
7	0111	F	1111

Tablo 4 - Hexadesimal Kodlu Sayı tablosu

Hexadesimal kodu ile onaltılık tabandaki sayının ikilik, sekizlik ve onluk tabandaki karşılığı kolaylıkla bulunabilir.

Örnek :

$$(4B)_{16} = (0100\ 1011)_2$$

$$(01001011)_2 = (0 \times 128 + 1 \times 64 + 0 \times 32 + 0 \times 16 + 1 \times 8 + 1 \times 4 + 1 \times 2 + 1 \times 1)_{10} = (75)_{10}$$

3 Fazlalık Kodu :

3 fazlalık kodu, BCD kodlarının her birine 3 ün ikilik tabanda karşılığı olan (0011)₂ sayısının eklenmesi ile elde edilir.

Decimal	BCD	Fazlalık
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

Tablo 5 - BCD ve Üç Fazlalık Kod Tablosu

Hata Düzeltme (Parity) Kodu :

Dijital Sinyallerin iletilmesinde hat üzerindeki olumsuz etkilerden dolayı sinyalde bir takım bozulmalar oluşabilir. Bu bozulmalar bazı sistemlerde engellenemez fakat en aza indirilmelidir. Bu nedenle bozulan sinyalin telafisi ve gönderilmek istenen bilginin doğru algılanması için hata kontrol kodları geliştirilmiştir. Parity Kodunda 4 bitlik BCD kodunun yanına bir hata kontrol biti (Party biti) eklenmiştir. Eklenen bu bitin iki çeşidi vardır.

Çift Pariti biti: Gönderilen BCD sayısındaki “1” bitlerinin adedi çift ise Parity biti “0” ; tek ise “1” dir.

Tek Pariti biti: Gönderilen BCD sayısındaki “1” bitlerinin adedi çift ise Parity biti “1” ; tek ise “0” dir.

<i>Onluk</i>	<i>BCD</i>	<i>Tek Parity</i>	<i>Onluk</i>	<i>BCD</i>	<i>Çift Parity</i>
0	0000	00001	0	0000	00000
1	0001	00010	1	0001	00011
2	0010	00100	2	0010	00101
3	0011	00111	3	0011	00110
4	0100	01000	4	0100	01001
5	0101	01011	5	0101	01010
6	0110	01101	6	0110	01100
7	0111	01110	7	0111	01111
8	1000	10000	8	1000	10001
9	1001	10010	9	1001	10010

Tablo 6 - Tek Parity ve Çift Parity Kodu

Gray Kodu

Bu kodda, kod bir sayıdan diğer bir sayıya ilerlerken sadece bir biti değişir.

<i>Desimal</i>	<i>Binary</i>	<i>Gray Kodu</i>	<i>Desimal</i>	<i>Binary</i>	<i>Gray Kodu</i>
0	0000	0000	8	1000	1100
1	0001	0001	9	1001	1101
2	0010	0011	10	1010	1111
3	0011	0010	11	1011	1110
4	0100	0110	12	1100	1010
5	0101	0111	13	1101	1011
6	0110	0101	14	1110	1001
7	0111	0100	15	1111	1000

Tablo 7 - BCD ve Gray Kodu Sayı Tablosu

Alfanümerik Kodlar

Hem harflerden hem de sayılardan oluşan kodlardır. Alfanümerik kodlar; dijital sistemlerde harf, sayı ve işaretlerle işlem yapılmasına olanak tanıyan standart kodlardır. İkiye ayrılır:

EBCDIC (Extended Binary Coded Decimal Interchange Code-Genişletilmiş BCD Değişim Kodu)

ASCII (American Standart Code for Information Interchange – Amerikan Standart Birliği Bilgi Değişim Kodu)

LOJİK DEVRELER LABORATUVARI

DENEY NO : 2

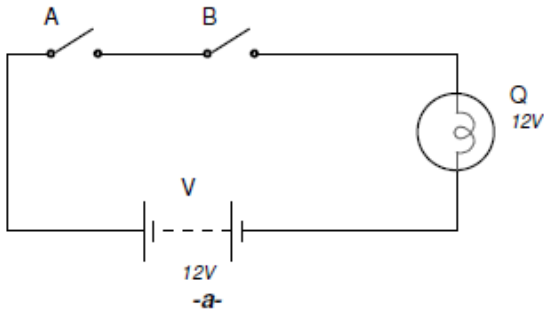
DENEYİN ADI : LOJİK KAPILAR (VE/VEYA/DEĞİL)

MANTIK KAPILARI

Mantık kapıları, dijital devrelerinin yapıtaşlarıdır. Kapı devreleri ikilik tabanda işlem yaparlar. Girişlerindeki "yüksek" seviye (HIGH) "1" olarak, "alçak" seviye (LOW) ise "0" olarak tanımlanır.

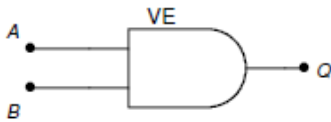
VE KAPISI (AND GATE)

Elektriksel eş değer devresinde görüldüğü gibi lambanın yanabilmesi için A ve B anahtarlarının kapalı durumda olması gerekir. Burada anahtarın kapalı durumu "1" seviyesi; açık konumu ise "0" seviyesi olarak tanımlanır. (A=1 ve B=1). AND kapısının girişlerinden herhangi biri "0" seviyesinde olduğunda da çıkış "0" seviyesinde kalacaktır. Her iki giriş "1" olduğunda çıkış (Q) seviyesi "1" seviyesine ulaşacaktır.



A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

-b-



-c-

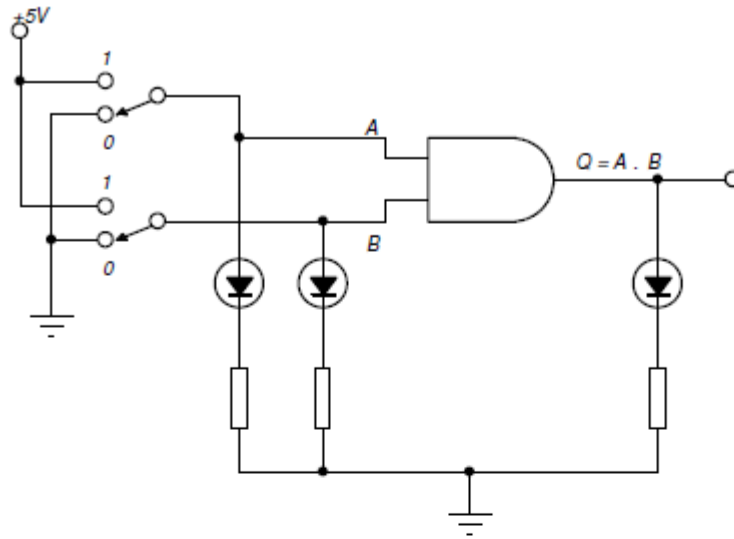
$$Q = A.B$$

-d-

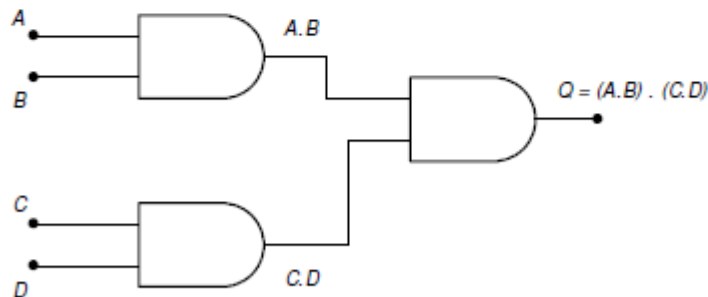
Şekil 1 - VE kapısı
a) Elektriksel Eş Değer Devresi b) Doğruluk Tablosu c) Sembolü
d) Boolean Eşitliği

Deneyin Yapılışı:

1. BL-3001 modülünü ana üniteye yerleştirin ve A bloğunu bulun.
2. Şekil 2 deki devreyi ($Q=A.B$ işlemi), ana ünitedeki LED' leri ve anahtarları kullanarak kurun. (Deney setindeki entegrelerin kararsız çalışmasını önlemek için entegre uçları boşta bırakılmamalıdır. TEMEL MANTIK MODÜLÜ' ndeki anahtarlar lojik anahtarlardır. Anahtar konumları GND ve +Vcc durumundadır. Bu şekilde entegre uçlarına direkt olarak "0" (GND) veya "1" (+Vcc) seviyesi uygulanabilmektedir. Tüm LED' lere de koruma dirençleri bağlı durumdadır. Devredeki dirençler temsili olarak gösterilmiştir. LED, bağlanmak istenilen yere LED dizindeki pinler yardımı ile doğrudan bağlanabilir. Ayrıca olarak GND veya +Vcc bağlanmasına gerek bulunmamaktadır.)
3. Doğruluk tablosundaki giriş değerlerini, anahtar yardımıyla AND kapısı girişine uygulayın.
4. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyin.
5. $Q=(A.B) . (C.D)$ işlemini gerçekleştirmek için Şekil 3 de gösterilen devrenin bağlantılarını kurun. Tablo 1 de verilen giriş değerlerine göre çıkıştaki seviyeleri tabloya yazın.



Şekil 2 - $Q = A.B$ İşlemi Devresi



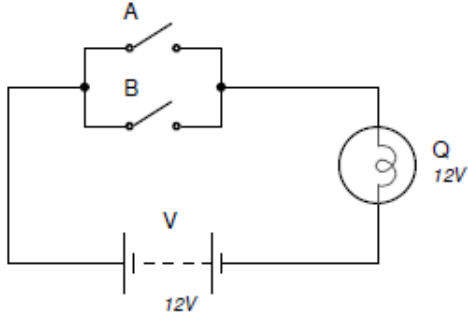
Şekil 3 - $Q = (A.B) . (C.D)$ İşlemi Devresi

A	B	C	D	Q
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Tablo 1 - $Q = (A.B) . (C.D)$ İşlemi Devresi Doğruluk Tablosu

VEYA KAPISI (OR GATE)

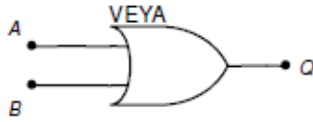
Girişlerinden herhangi biri "1" seviyesinde olduğunda çıkışını "1" seviyesine getiren kapıdır. Elektriksel eşdeğer devresinde de görüldüğü gibi 2 girişli bir OR kapısının girişleri birbirine paralel bağlanmış 2 anahtar olarak düşünülebilir. Entegrelerde ise bu anahtarlar yerine, anahtarlama görevi görecektir yarı iletken teknoloji kullanılır.



-a-

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

-b-

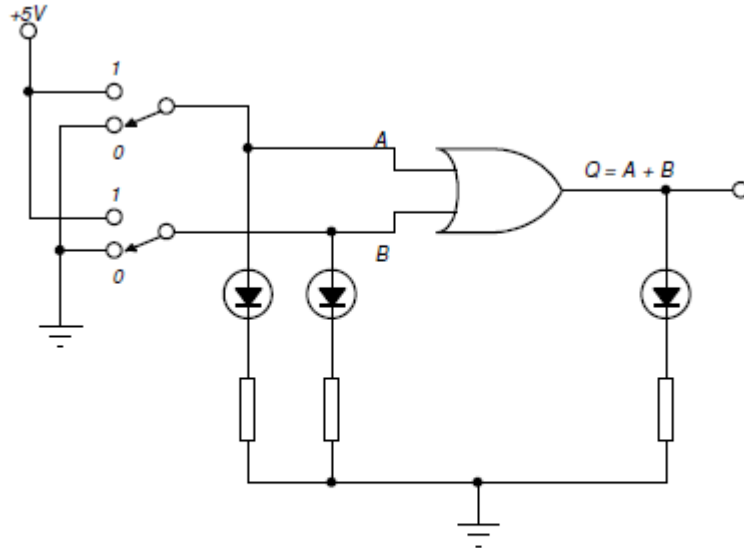


-c-

$$Q = A + B$$

-d-

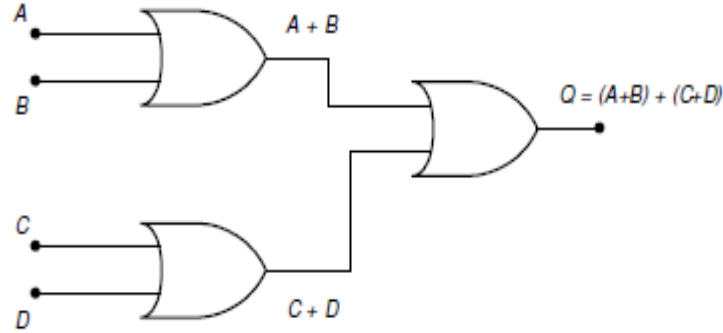
Şekil 4 - VEYA kapısı
a) Elektriksel Eş Değer Devresi b) Doğruluk Tablosu c) Sembolü
d) Boolean Eşitliği



Şekil 5 - VEYA ($Q = A + B$) İşlemi Devresi

Deneyin Yapılışı:

1. BL-3001 modülünü ana üniteye yerleştirin ve C bloğunu bulun.
2. Şekil 4 de gösterilen devreyi ana üniteye LED' leri ve anahtarları kullanarak kurun.
3. Doğruluk tablosundaki giriş değerlerini, anahtarlar yardımıyla OR kapısı girişine uygulayın.
4. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyin.



Şekil 6 - $Q = (A+B) + (C+D)$ İşlemi Devresi

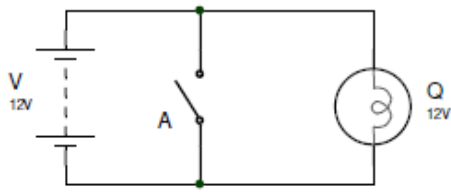
5. $Q=(A+B) + (C+D)$ işlemini gerçekleştirmek için Şekil 6 devreyi kurun. Tablodaki giriş değerlerine göre çıkıştaki seviyeleri tabloya yazın.
6. $(A+B) \cdot (C+D)$ ve $(A.B) + (B.C)$ işlemleri için gerekli devreyi kurun ve tablodaki giriş değerlerine göre çıkış değerlerini kaydedin.

A	B	C	D	Q
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

Tablo .2 - $Q = (A+B) + (C+D)$ İşlemi Devresi Doğruluk Tablosu

DEĞİL KAPISI (NOT GATE)

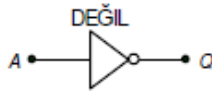
NOT kapısı evirici (Invertor) ya da Değilleyici olarak da adlandırılır. NOT kapısı girişindeki "1" veya "0" seviyesinin "değilini" çıkışta oluşturur. Girişte "1" seviyesi var ise kapı çıkışında "0" ; girişte "0" seviyesi var ise, çıkışta "1" seviyesi oluşur.



-a-

A	Q
0	1
1	0

-b-



-c-

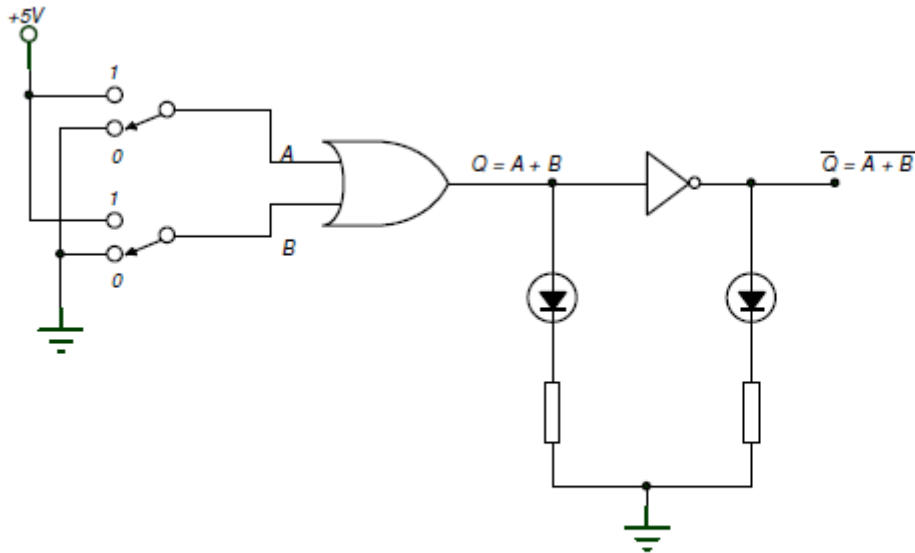
$$Q = \overline{A}$$

-d-

Şekil 7 - DEĞİL kapısı
a) Elektriksel Eş Değer Devresi b) Doğruluk Tablosu c) Sembolü
d) Matematiksel Boolean Eşitliği

Deneyin Yapılışı:

1. BL-3001 modülünü ana üniteye yerleştirin, C ve G bloklarını bulun.
2. Şekil 5 deki devrenin çıkışına NOT kapısı yerleştirerek tekrar kurun (Şekil 8)



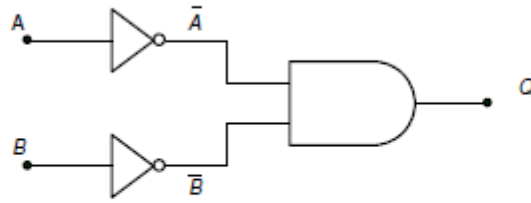
Şekil 8 DEĞİL Kapısı Devresi

3. Tablo 3 deki giriş değerlerini, anahtarlar yardımıyla devreye uygulayın. Q ve Q⁻ çıkışlarının lojik değerlerini kaydedin. LED' lerin durumunu kontrol edin.

A	B	Q	$\bar{Q}$
0	0		
0	1		
1	0		
1	1		

Tablo 3 - DEĞİL Kapısı Deneyi

4. Şekil 9 daki devreyi kurun. Q çıkışının eşitliğini bularak, lojik giriş değerlerinin olasılıklarına göre, çıkışı gözlemleyin.



Şekil 9 - DEĞİL Kapısı Deneyi

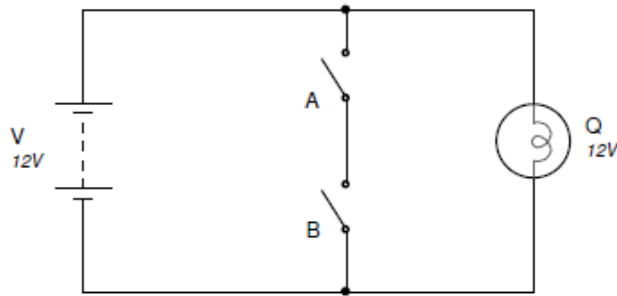
DENEY NO : 3

DENEYİN ADI : LOJİK KAPILAR (VE DEĞİL / VEYA DEĞİL / ÖZEL VEYA / ÖZEL VEYA DEĞİL)

MANTIK KAPILARI

VE DEĞİL KAPISI (NAND GATE)

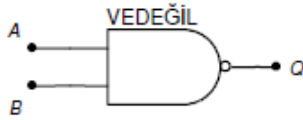
NAND kapısında, sadece A ve B girişlerinin, her ikisi de "1" (anahtarlar kapalı) olduğunda çıkış "0" seviyesinde olur. Diğer durumlarda çıkış "1" seviyesindedir.



-a-

A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

-b-



-c-

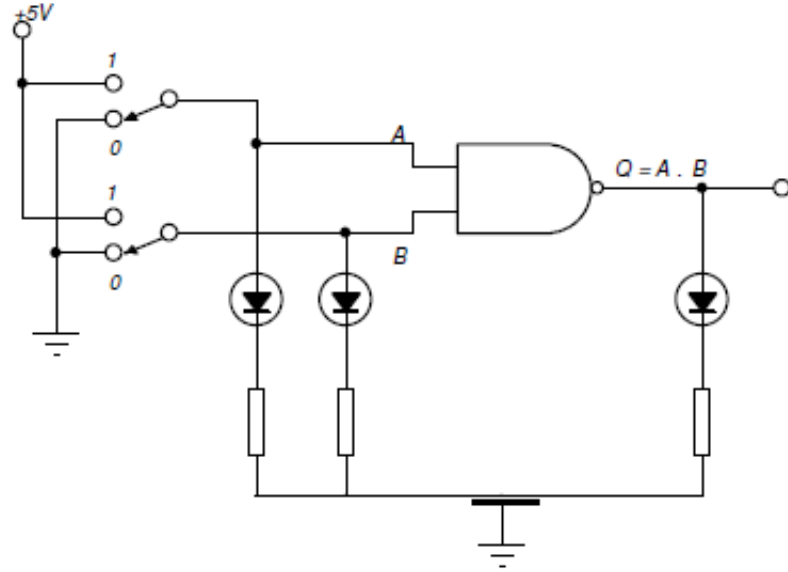
$$Q = \overline{A.B}$$

-d-

Şekil 1 - VEDEĞİL kapısı
a) Elektriksel Eş Değer Devresi b) Doğruluk Tablosu c) Sembolü
d) Matematiksel Boolean Eşitliği

Deneyin Yapılışı:

1. BL-3001 modülünü ana üniteye yerleştirin ve B bloğunu bulun.
2. Şekil 2 deki devreyi ana üniteye LED' leri ve anahtarları kullanarak kurun.
3. Doğruluk tablosundaki giriş değerlerini, anahtarlar yardımıyla NAND kapısı girişine uygulayın.
4. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyin.
 $Q = (A.B) + (C.D)$ eşitliğini sağlayan devreyi kurun, lojik giriş değerlerinin olasılıklarına göre çıkış gözlemleyin.



Şekil 2 - VEDEĞİL Kapısı Devresi

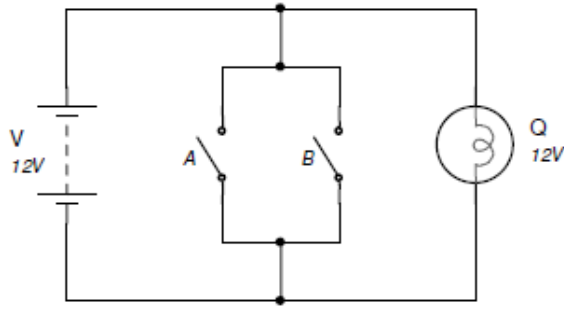
5. Sadece NAND kapıları ile OR kapısı tasarlayın.
6. $Q = (A \cdot B)'$ eşitliğini sağlayan devreyi kurunuz. TABLO 1' deki giriş değerlerine göre çıkış lojik seviyelerini tabloya kaydedin. Lojik eşitliğin hangi kapıya eşdeğer olduğunu inceleyin.

A	B	Q
0	0	
0	1	
1	0	
1	1	

Tablo 1 $Q = \overline{A \cdot B}$ Eşitliği İçin Giriş Değerleri

VEYA DEĞİL KAPISI (NOR GATE)

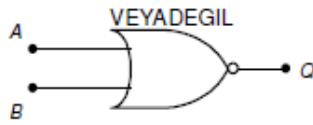
Bu kapının her iki girişi de "0" olduğu anda çıkış "1" olur. Diğer bütün durumlarda çıkış "0" dır. NOR kapısı OR kapısının tersleyici bağlanmış şekli olarak düşünülebilir.



-a-

A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

-b-



-c-

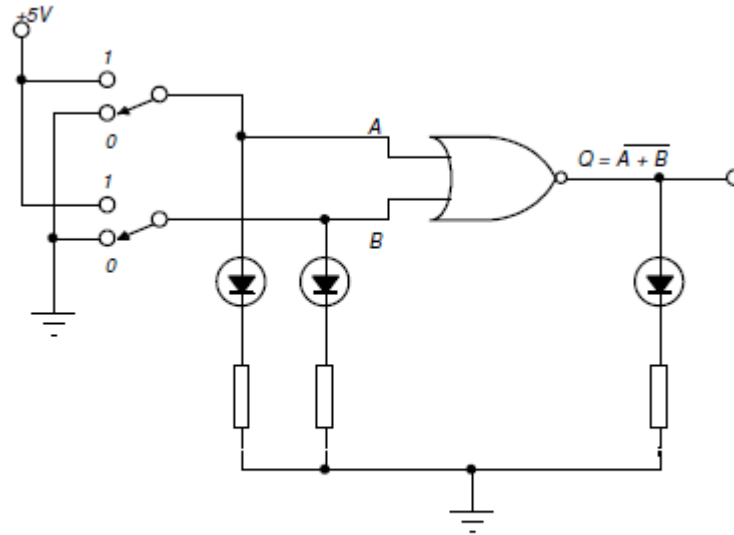
$$Q = \overline{A + B}$$

-d-

Şekil 3 - VEYADEĞİL kapısı
a) Elektriksel Eş Değer Devresi b) Doğruluk Tablosu c) Sembolü
d) Matematiksel Boolean Eşitliği

Deneyin Yapılışı:

1. BL-3001 modülünü ana üniteye yerleştirin ve D bloğunu bulun.
2. Şekil 4 deki devreyi ana ünitedeki LED' leri ve anahtarları kullanarak kurun.



Şekil 4 - VEYADEĞİL ($Q = \overline{A + B}$) Kapısı Deneyi Devresi

3. Doğruluk tablosundaki giriş değerlerini, anahtarlar yardımıyla NOR kapısı girişine uygulayın.
4. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyin.

5. $Q = (A+B)'$ eşitliğini sağlayan devreyi kurunuz. TABLO 2 de verilen giriş değerlerine göre çıkış lojik seviyelerini tabloya kaydedin. Lojik eşitliğin hangi kapiya eşdeğer olduğunu inceleyin.

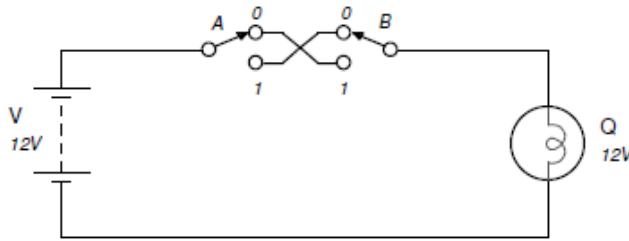
A	B	Q
0	0	
0	1	
1	0	
1	1	

Tablo 2 - $Q = \overline{A+B}$ Eşitliği İçin Giriş Değerleri

6. 2 girişli NOR kapıları kullanarak 3 girişli NOR kapısı tasarlayın.

ÖZEL VEYA KAPISI (EXOR (EXCLUSIVE OR) GATE)

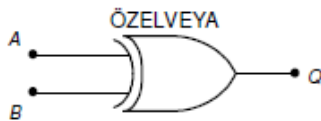
EXOR kapısının çalışma özelliği şu şekildedir. Giriş seviyeleri eşit olduğunda çıkış seviyesi "0", giriş seviyeleri farklı olduğunda ise çıkış seviyesi "1" olur.



-a-

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

-b-



-c-

$$Q = A.\bar{B} + \bar{A}B$$

$$Q = A \oplus B$$

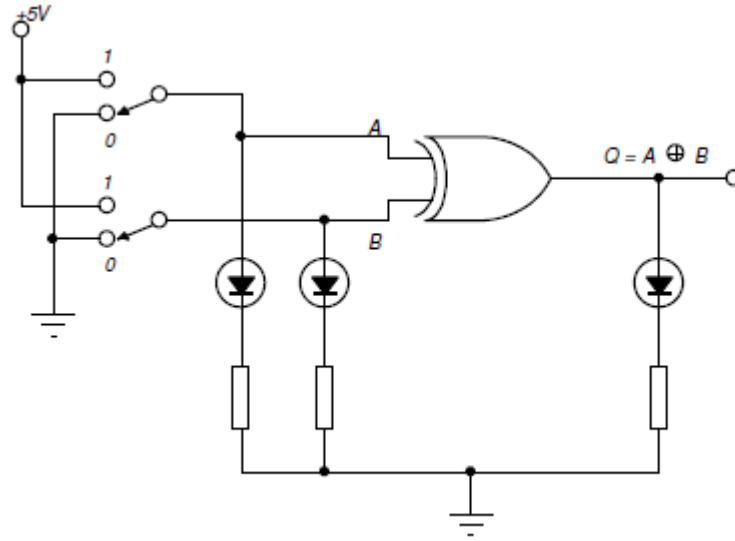
-d-

Şekil 5 ÖZEL VEYA kapısı
a) Elektriksel Eş Değer Devresi b) Doğruluk Tablosu c) Sembolü
d) Matematiksel Boolean Eşitliği

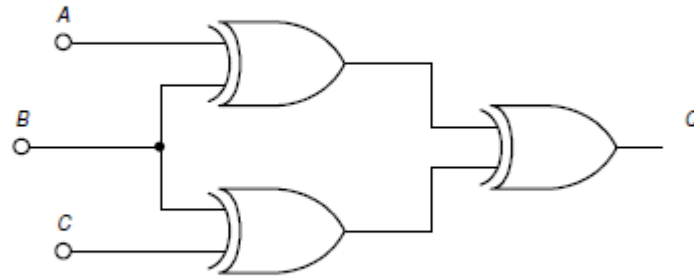
Deneyin Yapılışı:

1. BL-3001 modülünü ana üniteye yerleştirin ve E bloğunu bulun.
2. Şekil 6 daki devreyi ana üniteyedeki LED' leri ve anahtarları kullanarak kurun.

3. Doğruluk tablosundaki giriş değerlerini, anahtarlar yardımıyla EXOR kapısı girişlerine uygulayın.



Şekil 6 - ÖZEL VEYA ($Q = A \oplus B$) Kapısı Deneyi Devresi



Şekil 7

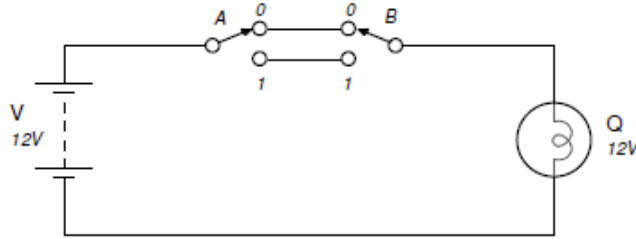
4. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyin.
 5. Şekil 7 da gösterilen devrenin lojik eşitliğini çıkarın. Devreyi kurun ve Tablo 3 deki giriş değerlerini uygulayın.
 6. Elde edilen çıkış değerlerini tabloya kaydedin.

0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Tablo 3 - Şekil 7. için Giriş Değerleri

ÖZEL VEYA DEĞİL KAPISI (EXNOR (EXCLUSIVE NOR) GATE)

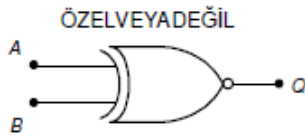
EXNOR kapısında, girişleri eşit olduğunda çıkış "1", girişlerinin farklı olduğunda ise çıkışı "1" olur.



A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1

-a-

-b-



$$Q = \overline{A \cdot B + \overline{A} \cdot \overline{B}}$$

$$Q = \overline{A \oplus B}$$

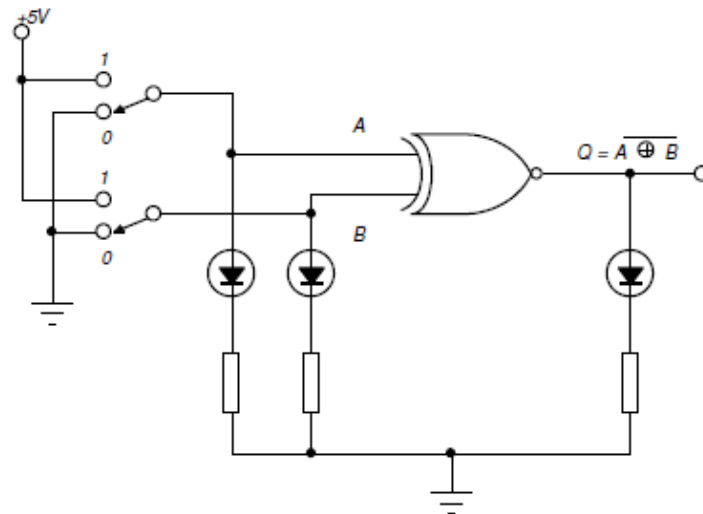
-c-

-d-

Şekil 8 – ÖZEL VEYADEĞİL kapısı
a) Elektriksel Eş Değer Devresi b) Doğruluk Tablosu c) Sembolü
d) Matematiksel Boolean Eşitliği

Deneyin Yapılışı:

1. BL-3001 modülünü ana üniteye yerleştirin ve F bloğunu bulun.
2. Şekil 9 deki devreyi ana üniteye LED' leri ve anahtarları kullanarak kurun.
3. Doğruluk tablosundaki giriş değerlerini, anahtarlar yardımıyla EXNOR kapısı girişine uygulayın.
4. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyin.



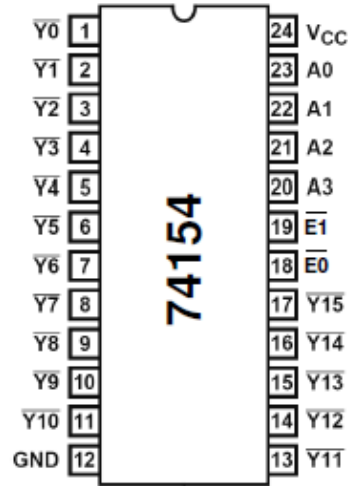
Şekil 9 - ÖZEL VEYA DEĞİL ($Q = \overline{A \oplus B}$)Kapısı Deneyi Devresi

LOJİK DEVRELER LABORATUVARI

DENEY NO : 4

DENEYİN ADI : DECODER, MULTIPLEXER VE DEMULTIPLEXER

4' den 16' ya DECODER/DEMULTIPLEXER:



Şekil 1 74154 entegresinin ayak yapısı

GİRİŞLER						ÇIKIŞLAR															
E0	E1	A3	A2	A1	A0	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	Y8	Y9	Y10	Y11	Y12	Y13	Y14	Y15
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	L	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	L	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H	H
L	L	L	H	H	L	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H	H
L	L	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H	H
L	L	H	L	L	L	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H	H
L	L	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H	H
L	L	H	L	H	L	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H	H
L	L	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H	H
L	L	H	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H	H
L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H	H
L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	L	H
L	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	L	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H
H	H	X	X	X	X	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H

Tablo 1 74154 entegresinin doğruluk tablosu

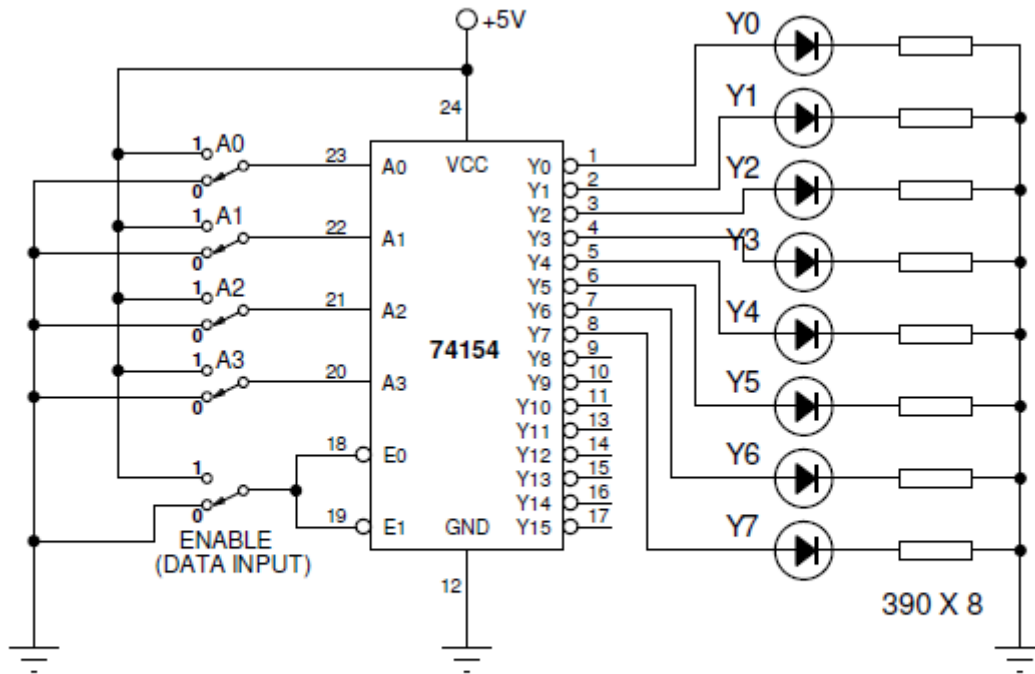
74154, hem DECODER (Kod Çözücü) hem de DEMULTIPLEXER (Veri Dağıtıcı) amaçlı kullanılabilir. $A_0...A_3$ seçme girişleri, $Y_0...Y_{15}$ çıkış uçları ve E_0, E_1 kontrol uçlarıdır.

DECODER amaçlı kullanmak için, E_0 ve E_1 kontrol uçlarına "L" uygulanır. Seçme girişlerinden uygulanan adresteki çıkış ucu "L" olurken diğer tüm çıkışlar "H" seviyededir.

DEMULTIPLEXER amaçlı kullanım için, E_0 ve E_1 kontrol uçları birleştirilerek DATA INPUT girişi olarak kullanılır. Seçme girişlerinden uygulanan adresteki çıkış ucuna, DATA INPUT girişinden uygulanacak "L" veya "H" seviyeli veri aktarılır. Diğer çıkış uçları ise "H" seviyede olacaktır.

Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve A bloğunu bulun.
2. Ana ünitedeki anahtar ve LED' leri kullanarak Şekil 2' deki devreyi kurun.



Şekil . 2 3' den 8' e DECODER/DEMULTIPLEXER devresi

3' den 8' e DECODER:

3. ENABLE anahtarı ile E_0 ve E_1 kontrol girişlerine "L" uygulayın. Bu şekilde devre DECODER olarak kullanılacaktır.
4. Çıkış LED sayısı 8 olduğu için, devreyi 3' den 8' e DECODER olarak kullanmak amacıyla A_3 seçme girişine "L" uygulayın.
5. A_0, A_1 ve A_2 seçme girişlerine tablo 2' deki adresleri sırayla girerek çıkışları gözlemleyin.
6. Tablo 2' yi gözlemleriniz doğrultusunda doldurunuz.

ENABLE	A ₃	A ₂	A ₁	A ₀	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
L	L	L	L	L								
L	L	L	L	H								
L	L	L	H	L								
L	L	L	H	H								
L	L	H	L	L								
L	L	H	L	H								
L	L	H	H	L								
L	L	H	H	H								
H	X	X	X	X								

Tablo 2 3' den 8' e DECODER işlem tablosu

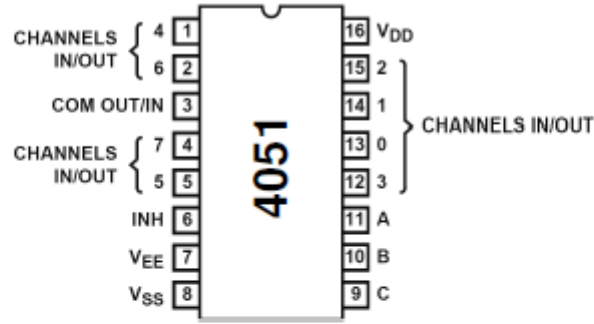
1' den 8' e DEMULTIPLEXER:

7. Çıkış LED sayısı 8 olduğu için, devreyi 1' den 8' e DEMULTIPLEXER olarak kullanmak amacıyla A₃ seçme girişine "L" uygulayın.
8. A₀, A₁ ve A₂ seçme uçlarına, girişteki verinin aktarılacağı çıkış adresini girin.
9. DATA INPUT anahtarı ile önceden seçilen çıkışa aktarılacak veriyi (L veya H) girin.
10. Tablo 3' ü gözlemlerinizi doğrultusunda doldurunuz.

A ₃	A ₂	A ₁	A ₀	VERİ GİRİŞİ	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
L	L	L	L	L								
L	L	L	L	H								
L	L	L	H	L								
L	L	L	H	H								
L	L	H	L	L								
L	L	H	L	H								
L	L	H	H	L								
L	L	H	H	H								
L	H	L	L	L								
L	H	L	L	H								
L	H	L	H	L								
L	H	L	H	H								
L	H	H	L	L								
L	H	H	L	H								
L	H	H	H	L								
L	H	H	H	H								

Tablo 3 1' den 8' e DEMULTIPLEXER işlem tablosu

ANALOG MULTIPLEXERER/DEMULTIPLEXERER



Şekil 3 4051 entegresinin ayak yapısı

GİRİŞ DURUMLARI				"ON" CHANNEL(S)
INHIBIT	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	None

Tablo 4 4051 entegresinin doğruluk tablosu

4051, MULTIPLEXER (Veri Seçici) ve DEMULTIPLEXER (Veri Dağıtıcı) olarak kullanılabilir. Giriş olarak lojik seviye veya analog sinyal uygulanabilmektedir. V_{DD} besleme gerilimi çıkıştan alınacak analog sinyalin maksimum pozitif değerini ve V_{EE} besleme gerilimi çıkıştan alınacak analog sinyalin maksimum negatif değerini belirler. INHIBIT, kontrol ucu olup verinin çıkışa aktarılabilmesi için bu uç "L" seviyede olmalıdır. A, B ve C seçme girişleri olup MULTIPLEXER çalışmada ise girişteki verinin alınacağı çıkış ucunu seçmek için kullanılır.

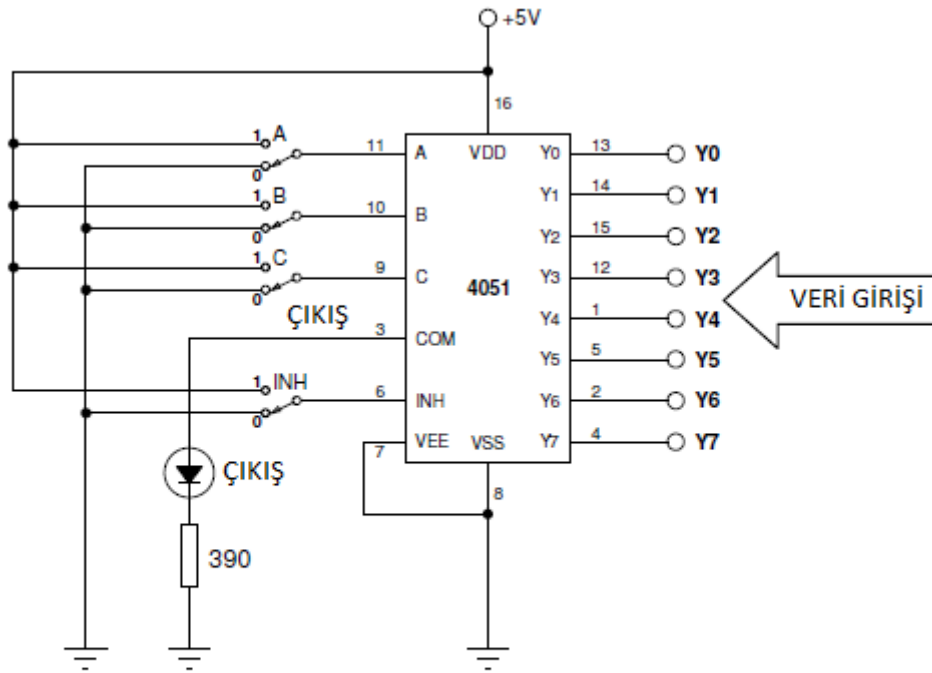
MULTIPLEXER çalışmasında, CHANNELS IN/OUT ($Y_0...Y_7$) uçları veri girişi ve COM OUT/IN ucu ise veri çıkışı için kullanılır. DEMULTIPLEXER çalışmasında ise, CHANNELS IN/OUT ($Y_0...Y_7$) uçları veri çıkışı ve COM IN/OUT ucu ise veri girişi için kullanılır.

Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve F bloğunu bulun.

8' den 1' e MULTIPLEXER:

2. Ana üniteadaki anahtar ve LED' leri de kullanarak Şekil 4' deki devreyi kurun.
3. INH anahtarını "0" konumuna alarak INHIBIT ucuna "L" seviye uygulayın.
4. A, B ve C anahtarları ile çıkıştan (COM) alınacak verinin girileceği ucun (Yo...Y7) adresini girin.
5. Seçme uçları ile adreslenen giriş ucuna ana üniteden 1 Hz' lik kare dalga sinyal uygulayıp, çıkışı gözlemleyin.
6. Tablo 5' i gözlemlerinizi doğrultusunda doldurunuz.

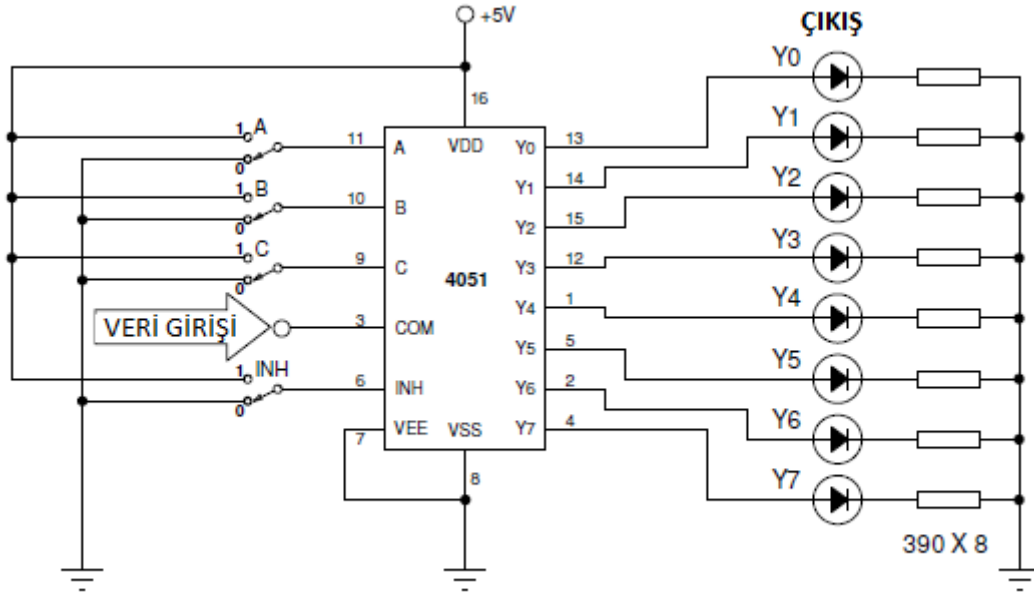
**Şekil 4 8' den 1' e MULTIPLEXER devresi**

INHIBIT	A	B	C	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	ÇIKIŞLAR
L	L	L	L		X	X	X	X	X	X	X	
L	L	L	H	X		X	X	X	X	X	X	
L	L	H	L	X	X		X	X	X	X	X	
L	L	H	H	X	X	X		X	X	X	X	
L	H	L	L	X	X	X	X		X	X	X	
L	H	L	H	X	X	X	X	X		X	X	
L	H	H	L	X	X	X	X	X	X		X	
L	H	H	H	X	X	X	X	X	X	X		
H	X	X	X	X	X	X	X	X	X	X	X	

Tablo 5 8' den 1' e MULTIPLEXER işlem tablosu

1' den 8' e DEMULTIPLEXER:

7. Ana ünitadaki anahtar ve LED' leri de kullanarak Şekil 5' deki devreyi kurun.
8. INH anahtarını "0" konumuna alarak INHIBIT ucuna "L" seviye uygulayın.
9. A, B ve C anahtarları ile girişteki (COM) verinin alınacağı çıkış ucunun (Y0...Y7) adresini girin.
10. Giriş ucuna ana üniteden 1 Hz' lik kare dalga sinyal uygulayıp, seçme uçları ile adreslenen çıkış ucunu gözlemleyin.
11. Tablo 6' yı gözlemlerinizi doğrultusunda doldurunuz.



Şekil 5 1' den 8' e DEMULTIPLEXER devresi

INHIBIT	A	B	C	GİRİŞ	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
L	L	L	L									
L	L	L	H									
L	L	H	L									
L	L	H	H									
L	H	L	L									
L	H	L	H									
L	H	H	L									
L	H	H	H									
H	X	X	X									

Tablo 6 1' den 8' e DEMULTIPLEXER işlem tablosu

LOJİK DEVRELER LABORATUVARI

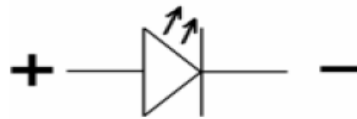
DENEY NO : 5

DENEYİN ADI : 7 SEGMENT VE DOTMATRİKS DISPLAY' LER

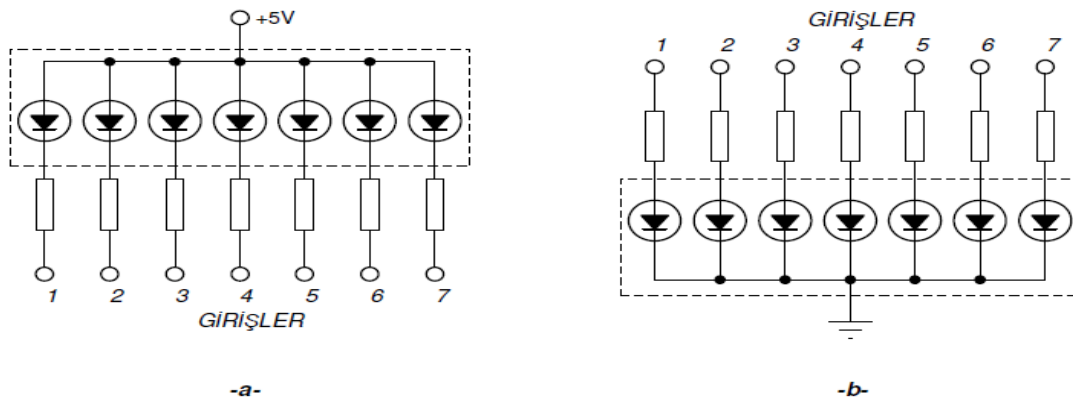
Dijital deneylerde, hem girişte hem de çıkışta "1" ve "0" seviyelerinin kolay görülebilmesi için ışıklı göstergelerin kullanılması deneyleri zevkli ve anlaşılır duruma getirir. TEMEL MANTIK DENEY SETİNDE, LED ve YEDİ-SEGMENT DISPLAY uygulamalarına ek olarak, 8x8 Dot Matriks Display ve "BUZZER" (Sesli uyarı uygulamaları için) uygulamaları için uygun giriş-çıkış birimleri bulunmaktadır.

LED (Işık Yayan Diyot - Light Emitted Diode):

Doğru polarizasyonda, yakın dalga boyunda ışık saçılımı yapan yarı iletken devre elemanıdır. Yapıldığı yarı iletken bileşimlerin kimyasal oranına ve türüne göre yakın dalga boyunun değişik tayflarında ışık verirler. LED' ler, Kırmızı, Sarı, Yeşil, Mavi gibi görünen ışık ve Kızılötesi (Infrared) ve Morötesi (Ultraviolet) gibi görünmeyen ışık kaynağı olarak kullanılabilir.



Şekil 1 LED Sembolü



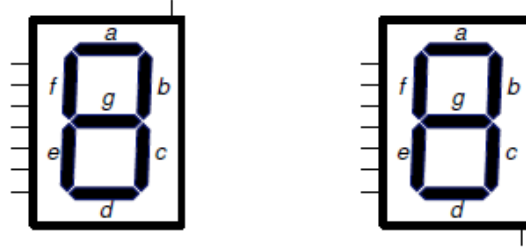
Şekil 2 - a- Ortak Anot LED Dizini

-b- Ortak Katot LED Dizini

Deney yapımını kolaylaştırmak için LED' lerin anot ve katotları birbirine bağlanmış ve ortak anotlara +5V ve ortak katoda ise GND bağlanmıştır.

Yedi Segment Display:

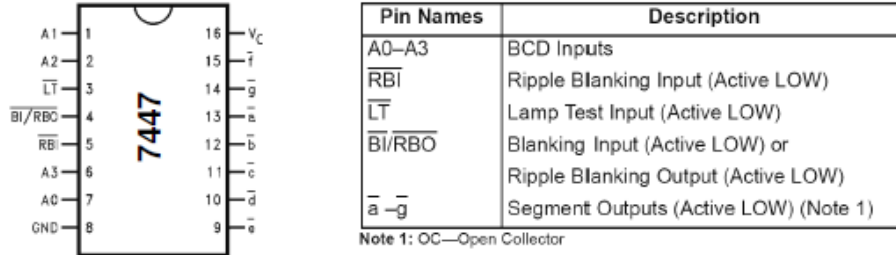
Yedi segment display, sıfırdan dokuza kadar sayıları ve alfabedeki harfleri görüntülemek için kullanılır. Bu gösterimi, uygun bir şekilde yerleştirilmiş yedi tane LED' in ışık vermesi ile gerçekleştirir. Buradaki her bir LED, bir segmenti meydana getirmektedir. LED' lerin katot ya da anotları birbirlerine bağlanır. Anotları ortak olana "ortak anot" ; katotları ortak olana ise "ortak katot" display adı verilir. Ortak anot displaylerde LED' lerin anotları birbirine bağlanmıştır. Segmentlerin ışık verebilmesi için ortak noktaya +5V (Lojik 1) uygulanır ve ilgili LED' in katoduna lojik "0" seviyesi uygulanır.



Ortak Anot

Ortak Katot

Şekil 3 7 Segment Display Sembolü

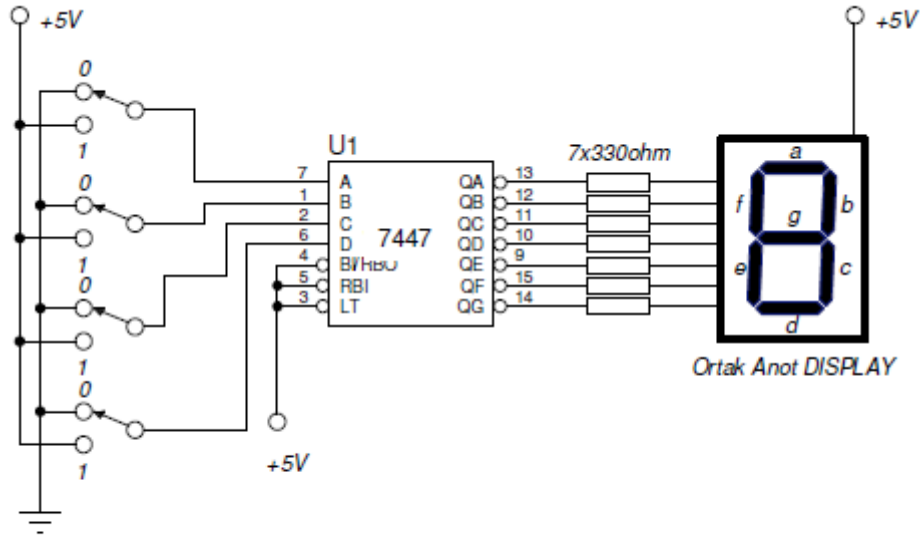


Şekil 4 7447-7BCD' den 7 Segment' e kod çözücü entegresi ayak yapısı ve pin isimleri

Ondalık İşlem	Girişler							Çıkışlar						
	LT	RBI	A3	A2	A1	A0	BI/RBO	a	b	c	d	e	f	g
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H
BI	X	X	X	X	X	X	L	H	H	H	H	H	H	H
RBI	H	L	L	L	L	L	L	H	H	H	H	H	H	H
LT	L	X	X	X	X	X	H	L	L	L	L	L	L	L



Şekil 5 7447 entegresinin doğruluk tablosu ve 7 segment display' de oluşan çıkış karakterleri



Şekil 6 Girişleri Lojik Anahtarlarla Belirlenmiş Display Devresi

7447' nin doğruluk tablosunda da görüldüğü gibi BCD girişler "H" aktif ve segment çıkışları "L" aktiftir. Şekil 6' daki devrede 7447 entegresinin giriş değerleri lojik anahtarlar ile seçilmekte ve bu girişlere karşılık üretilen kod display' de okunmaktadır.

7 segment display' i tuş takımı ile kontrol etmek amacıyla, 0-9 desimal sayılarının BCD karşılığını üreten ve öncelikli kodlayıcı entegresi olan 74147 kullanılır. Şekil 7' deki fonksiyon tablosundan görülebileceği gibi, entegrenin giriş uçları "L" aktif ve çıkışta üretilen BCD kod tümleyen şeklindedir. Tüm girişler birer direnç yardımıyla "H" seviyeye çekildiğinde, çıkışta "0" desimal sayısının BCD karşılığının tümleyenini üreten "HHHH" verisi üretilir. Öncelikli kodlayıcının en önemli özelliği ise, tuş takımında aynı anda birden fazla tuşa basıldığında, bunlardan öncelikli olanın BCD karşılığını çıkışta vermesidir. Bu öncelik, yine fonksiyon tablosundan anlaşılacağı üzere büyük olan giriş sayısına verilmektedir.

GİRİŞLER										ÇIKIŞLAR			
1	2	3	4	5	6	7	8	9		D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	H	L	H	H	L
X	X	X	X	X	X	X	L	H	H	L	H	L	H
X	X	X	X	X	L	H	H	H	H	H	L	L	H
X	X	X	X	L	H	H	H	H	H	H	L	H	L
X	X	X	L	H	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L

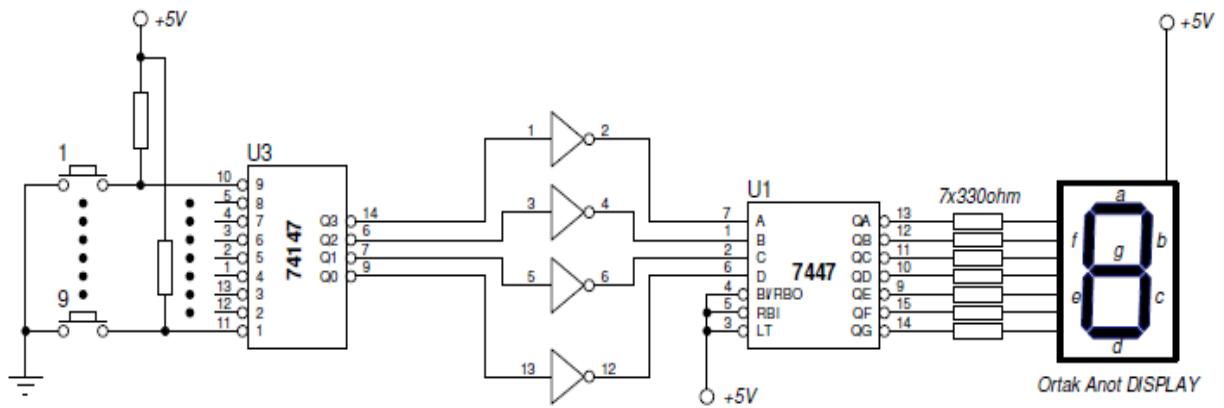
Şekil 7 74147 entegresinin ayak yapısı ve fonksiyon tablosu

7 segment displayde "0" rakamının gösterilmesi için, 7447 entegresinin girişlerine uygulanması gereken BCD kodu "LLLL" iken, "0" rakamına ait 74147 entegresinin çıkışında üretilen kod "HHHH" olmaktadır. Bu durumda yapılması gereken şey, 74147 entegresinin çıkışlarının tümleyenini alarak

7447 entegresinin girişlerine uygulamaktır. Bu amaçla 74147 entegresinin 4 çıkışına da birer adet "NOT" kapısı bağlanır. Şekil 8

Deneyin Yapılışı:

1. BL-3003 modülünü ana üniteye yerleştirin ve C bloğunu bulun.
2. Tuş takımında herhangi bir tuşa basılmadığı sürece, 7 segment display' de "0" karakterinin kodlandığını gözlemleyin.
3. Tuş takımından sırasıyla 1' den 9' a kadar olan tuşlara basıp, 7 segment display' de oluşan çıkış karakterlerini gözlemleyin.
4. Aynı anda birden fazla tuşa basarak, 7 segment display' de oluşan çıkış karakterlerini gözlemleyin.
5. Sonuçları gözlem tablosuna kaydedin.

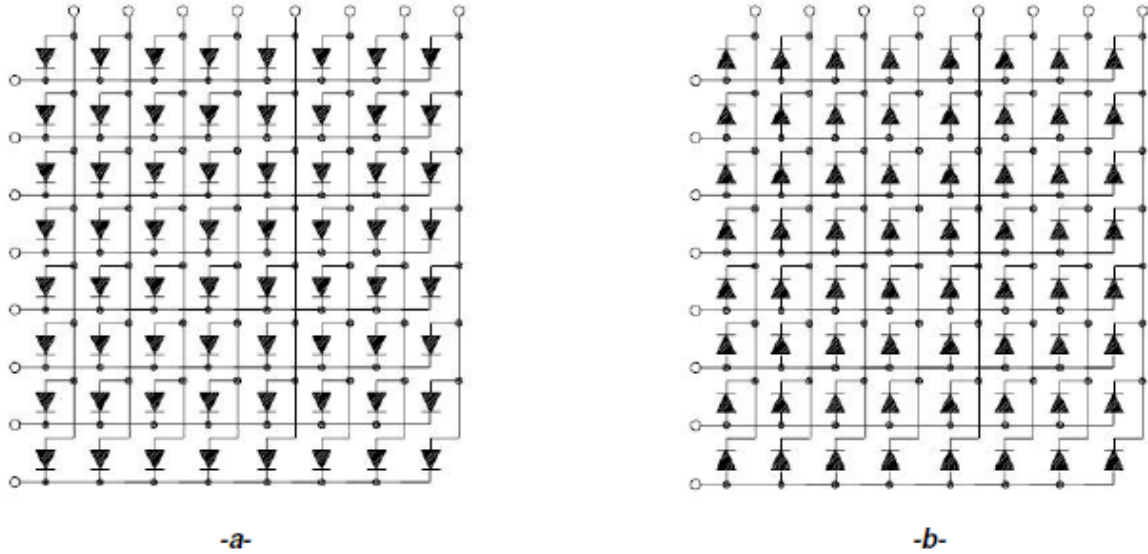


Şekil 8 Tuş takımı ile 7 segment display kontrol devresi

Basılı tuşlar	Çıkış karakteri (7 segment display' de)
Yok	
1	
2	
3	
4	
5	
6	
7	
8	
9	
1 ve 4	
3 ve 6	
5 ve 7	
8 ve 9	

DOT Matriks Display:

Dot Matriks Displayler, düşük çözünürlükte harf, sayı, grafik veya sembol gösterimi için kullanılır. Satır ve sütun halinde dizilmiş LED gruplarından oluşur. Satır ve sütundaki LED sayısı birbirlerinin çarpımı şeklinde ifade edilir. (8x8 ya da 5x8) Burada birinci sayı sütun sayısını, ikinci sayı ise satır sayısını ifade eder. Şekil 9' de Ortak Katot ve Anot Dot Matriks Display' lerin iç yapıları görülmektedir. Burada bir LED' in ışık vermesi için, LED' in bağlı olduğu satır ve sütuna uygun gerilim değerinin verilmesi gerekmektedir. Ortak anot displayde, aynı sütundaki LED' lerin anotları ortak katotda ise katodları birbirlerine bağlıdır.



Şekil 9 8x8 DOT Matriks Display İç Yapıları
a-Ortak Anot Display'in İç Yapısı b- Ortak Katod Display'in İç Yapısı

Her satır ve sütunda LED' lerin anot ve katotları birbirlerine bağlı olduğundan, gösterilecek bilgi tek seferde gönderilmesi tercih edilmez. Bunun yerine her sütundaki ya da satırdaki bilgi ayrı ayrı ve hızlı bir şekilde (gözün saniyedeki algılayabileceği görüntü karesinden fazla diğer bir ifade ile saniyenin yirmibeşte birinden daha hızlı) gönderilebilir. Tarama şeklinde yapılan bu yöntemle her sütuna bilgi farklı zamanlarda gönderilir. Bu zamanlar gözün algılamasından daha kısa olduğundan tüm sütun bilgilerine göre LED' lerin durumu görülebilir. Örneklenirse; Bir ortak katot displayde ters bir diküçgen gösterilecek olsun. (Işık veren LED "1" ve ışık yaymayan LED ise "0" olarak gösterilmiştir.) LED' lerin 1. satırda 11111111; 2. satırda 11111110; 3. satırda 11111100; 4. satırda 11111000; 5. satırda 11110000; 6. satırda 11100000; 7. satırda 11000000; 8. satırda 10000000 şeklinde LED' ler ışık vermektedir.

```

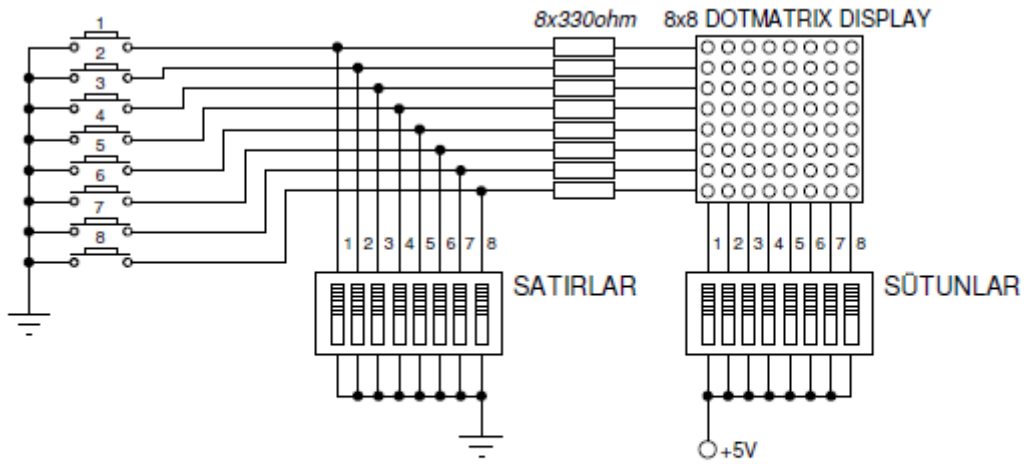
1. 11111111
2. 11111110
3. 11111100
4. 11111000
5. 11110000
6. 11100000
7. 11000000
8. 10000000

```

Burada birinci sütundan sekizinci sütuna bilgiler taranacak. İlk olarak 1. sütün aktif edilir. (0V uygulanır ve o sütüna ait 11111111 bilgisi gönderilir. Daha sonra 1. sütünun aktifliđi kaldırılır ve 2. sütün aktif edilir ve 2. sütüna ait bilgi olan 11111110 bilgisi gönderilir. 2. sütünun aktifliđi kaldırılır ve 3. sütün aktif edilir ve bilgisi olan 11111100 bilgisi gönderilir. Tarama olayı 8. sütüna kadar bu şekilde devam edilir. 8. sütünun da bilgisi gönderildikten sonra, tekrar 1. satırdan itibaren taramanın devam etmesi gerekmektedir.

Deneyin Yapılışı:

1. BL-3003 modülünü ana üniteye yerleştirin ve A blođunu bulun.
2. Tüm anahtarları açık duruma getiriniz. DOT Matriks Display' de herhangi bir noktanın aydınlanmadıđını gözlemleyiniz.
3. Yanmasını istediđiniz noktanın sütün anahtarını +5V konumuna alınız. Bunun ardından o noktaya ait satır anahtarını GND konumuna alınız. (Bunun yerine ilgili satır butonuna da basabilirsiniz.) İstenilen noktaya ait LED' in yandıđını gözlemleyiniz.
4. Benzer işlemleri birden fazla nokta için yaparak, display üzerinde farklı noktalara ait LED' lerin aynı anda yanmasını sağlayınız.



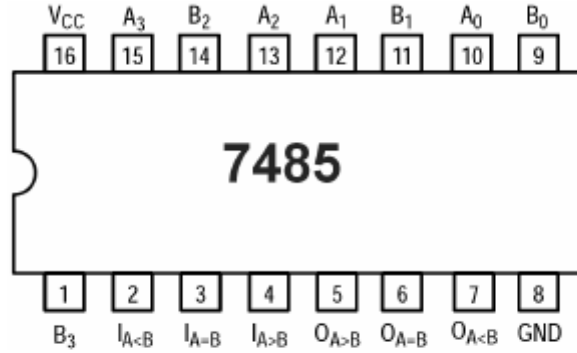
Şekil 10 8x8 DOT Matriks Display kontrol devresi

LOJİK DEVRELER LABORATUVARI

DENEY NO : 6

DENEYİN ADI : ARİTMETİK DEVRELER - KARŞILAŞTIRICI

4 BİT KARŞILAŞTIRICI (COMPARATOR)

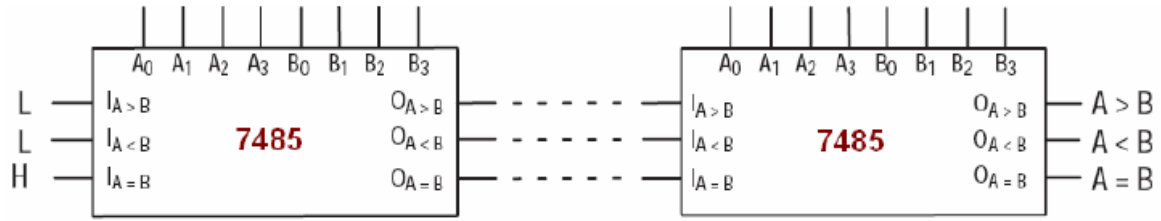


Şekil 1 7485 entegresinin ayak yapısı

KARŞILAŞTIRILACAK GİRİŞLER				KASKAD GİRİŞLER			GİRİŞLER		
A ₃ ,B ₃	A ₂ ,B ₂	A ₁ ,B ₁	A ₀ ,B ₀	I _{A>B}	I _{A<B}	I _{A=B}	O _{A>B}	O _{A<B}	O _{A=B}
A ₃ >B ₃	X	X	X	X	X	X	H	L	L
A ₃ <B ₃	X	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ >B ₂	X	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ <B ₂	X	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ >B ₁	X	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ <B ₁	X	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ >B ₀	X	X	X	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ <B ₀	X	X	X	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	L	L	H	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	H	L	L	H	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	X	X	H	L	L	H
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	H	H	L	L	L	L
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	A ₀ =B ₀	L	L	L	H	H	L

Tablo 1 7485 entegresinin doğruluk tablosu

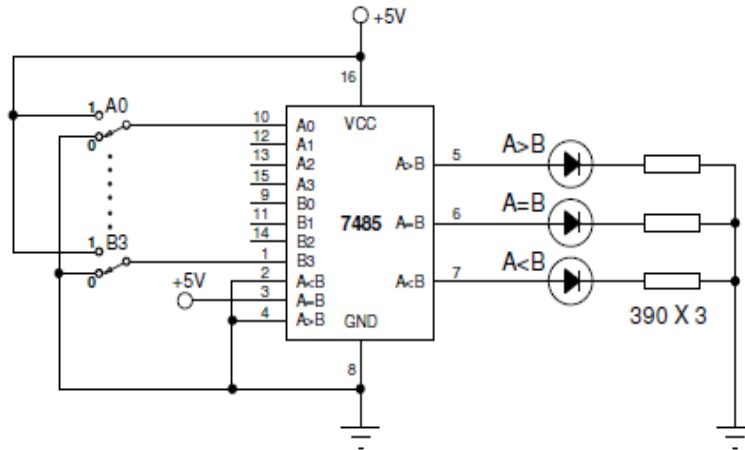
7485, 4' er bitlik iki binary sayıyı (A ve B sayıları) karşılaştırma özelliğine sahiptir. A>B, A<B ve A=B olmak üzere üç adet çıkışı bulunmaktadır. Birden fazla entegre kaskad girişleri kullanılarak ardışıl olarak bağlanıp, karşılaştırılacak sayıların bit adetleri artırılabilir (Şekil 2).



Şekil 2 Kaskad bağlantı ile bit sayısının artırılması

Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve C bloğunu bulun.
2. Ana üniteadaki anahtar ve LED'leri de kullanarak şekil 3' deki devreyi kurun.
3. Anahtarları kullanarak A ve B sayılarına farklı değerler verip, çıktıları gözlemleyiniz.
4. Tablo 2'yi gözlemlerinizi doğrultusunda doldurunuz.



Şekil 3 4 bit karşılaştırmacı devresi

A ₃	A ₂	A ₁	A ₀	B ₃	B ₂	B ₁	B ₀	A>B	A=B	A<B
0	0	0	0	0	0	0	0			
1	X	X	X	0	X	X	X			
0	X	X	X	1	X	X	X			
A ₃ =B ₃	1	X	X	A ₃ =B ₃	0	X	X			
A ₃ =B ₃	0	X	X	A ₃ =B ₃	1	X	X			
A ₃ =B ₃	A ₂ =B ₂	1	X	A ₃ =B ₃	A ₂ =B ₂	0	X			
A ₃ =B ₃	A ₂ =B ₂	0	X	A ₃ =B ₃	A ₂ =B ₂	1	X			
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	1	A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	0			
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	0	A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	1			
1	1	1	1	1	1	1	1			

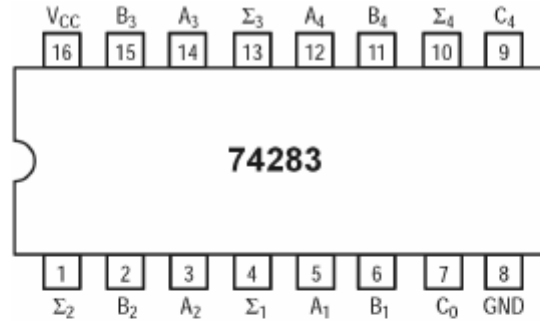
Tablo 2 4 bit karşılaştırmacı işlem tablosu

LOJİK DEVRELER LABORATUVARI

DENEY NO : 7

DENEYİN ADI : ARİTMETİK DEVRELER - TAM TOPLAYICI

4 BİT BINARY TAM TOPLAYICI (FULL ADDER)



Şekil 1 74283 entegresinin ayak yapısı

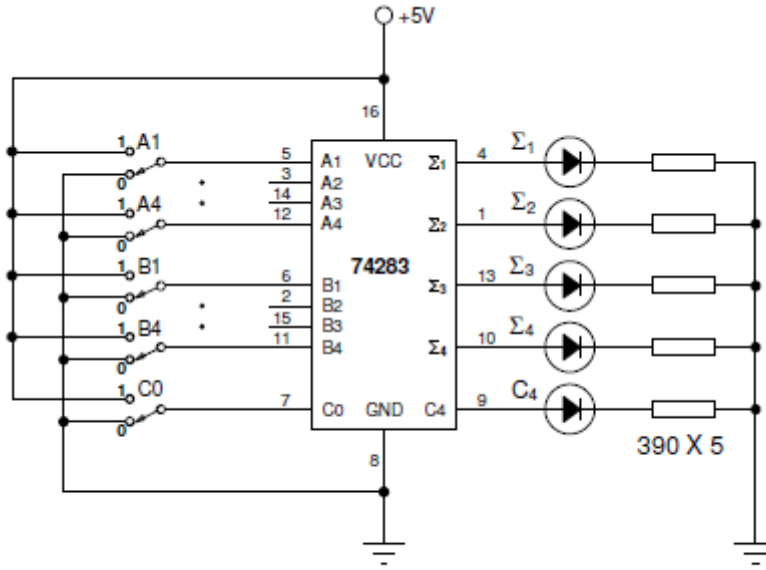
GİRİŞLER			ÇIKIŞLAR	
B _n	A _n	C _{n-1}	Σ _n	C _n
L	L	L	L	L
L	L	H	H	L
L	H	L	H	L
L	H	H	L	H
H	L	L	H	L
H	L	H	L	H
H	H	L	L	H
H	H	H	H	H

Tablo 1 74283 entegresinin doğruluk tablosu (1 bit için)

74283, 4' er bitlik iki binary sayıyı toplama özelliğine sahiptir. Harici elde girişi (C0) ve elde çıkışı (C4) mevcuttur.

Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve G bloğunu bulun.
2. Ana üniteadaki anahtar ve LED' leri de kullanarak şekil 2' deki devreyi kurun.
3. Anahtarları kullanarak A ve B sayılarına farklı değerler verip, çıkışları gözlemleyiniz.
4. Tablo 2' ü gözlemleriniz doğrultusunda doldurunuz.



Şekil 2 4 bit binary tam toplayıcı devresi

B ₄	B ₃	B ₂	B ₁	A ₄	A ₃	A ₂	A ₁	C ₀	C ₄	Σ ₄	Σ ₃	Σ ₂	Σ ₁
0	0	0	0	0	0	0	0	0					
0	0	0	1	0	0	0	1	0					
1	0	1	0	0	1	0	0	0					
0	1	0	1	1	0	1	1	0					
1	1	1	0	1	0	0	0	1					
0	1	1	0	1	1	0	0	1					
0	0	1	1	1	0	0	1	0					
1	1	1	1	1	1	1	1	0					
1	1	1	1	1	1	1	1	1					

Tablo 2. 4 bit tam toplayıcı işlem tablosu

LOJİK DEVRELER LABORATUVARI

DENEY NO : 8

DENEYİN ADI : FLİP-FLOP' LAR

Sıralı Mantık

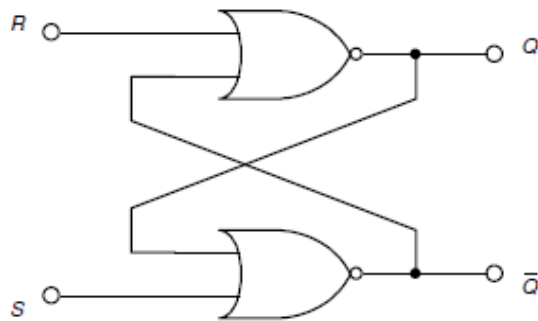
Her sayısal sistemde entegre devreler bulunsa da, pratikte rastlanan sistemlerin çoğunda sıralı mantık terimi ile adlandırılan bellek elemanları da vardır. Bellek elemanlarının, girişinde saat darbeleri kullanan sıralı devrelere ise saatli sıralı devreler denir. Bu devreler kararlı çalışmaktadır.

Flip –Flop' lar

Sıralı devrelerde kullanılan bellek elemanlarına “flip-flop” denilmektedir. Bu devreler bir bitlik bilgi saklama yeteneğine sahiptirler. Flip –Flop' lar tek bir durum sinyali ile ikili bir durumu devreye güç verildiği sürece korurlar.

RS Flip – Flop

RESET ve SET kelimelerinin ilk harflerinden ismini alan bu flip-flop çeşidinde, girişler R ve S; çıkışlar ise Q ve $\bar{Q}$ uçları olarak kodlanmıştır. Görüldüğü gibi Q ve onun değili olan $\bar{Q}$ birbirlerinin tersi seviyededir. Q = 1 ise, $\bar{Q}$ = 0 seviyesindedir; Q = 0 ise, $\bar{Q}$ = 1 seviyesindedir.



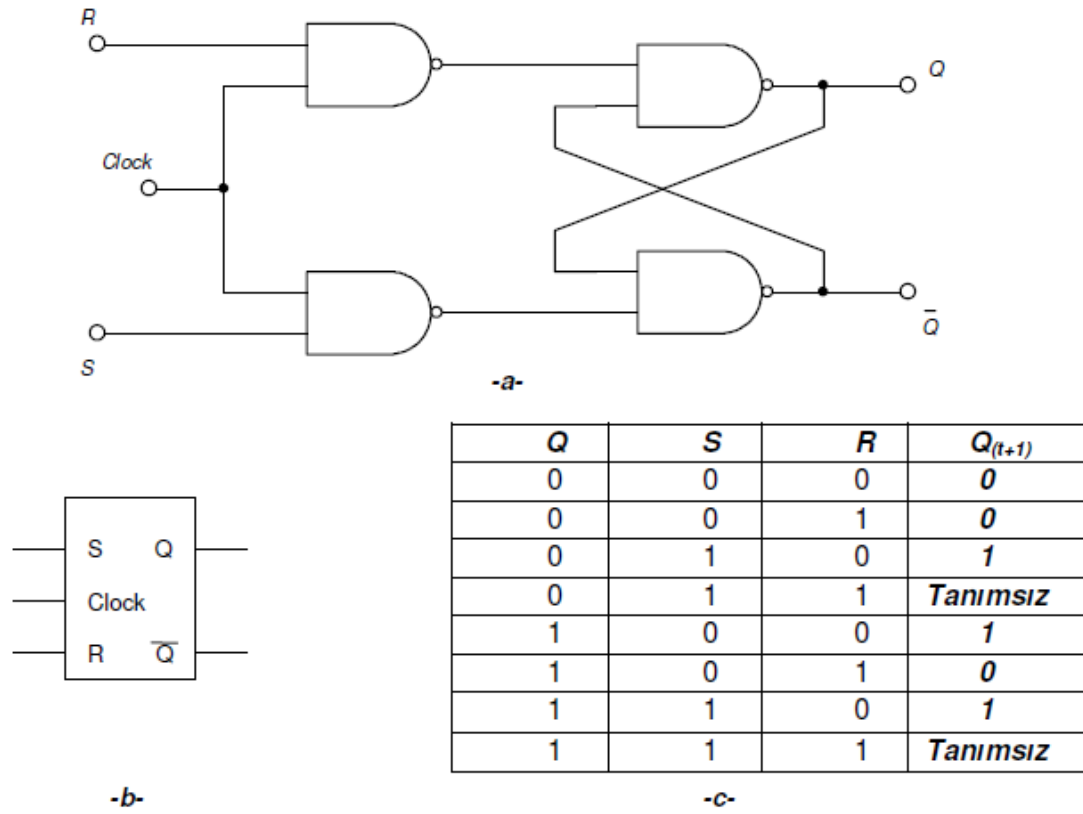
-a-

S	R	Q	$\bar{Q}$
0	0	Q	$\bar{Q}$
0	1	0	1
1	0	1	0
1	1	X	X

-b-

Şekil 1 : VEYADEĞİL Kapılı Temel RS Flip- Flop
a) Şeması b) Doğruluk Tablosu

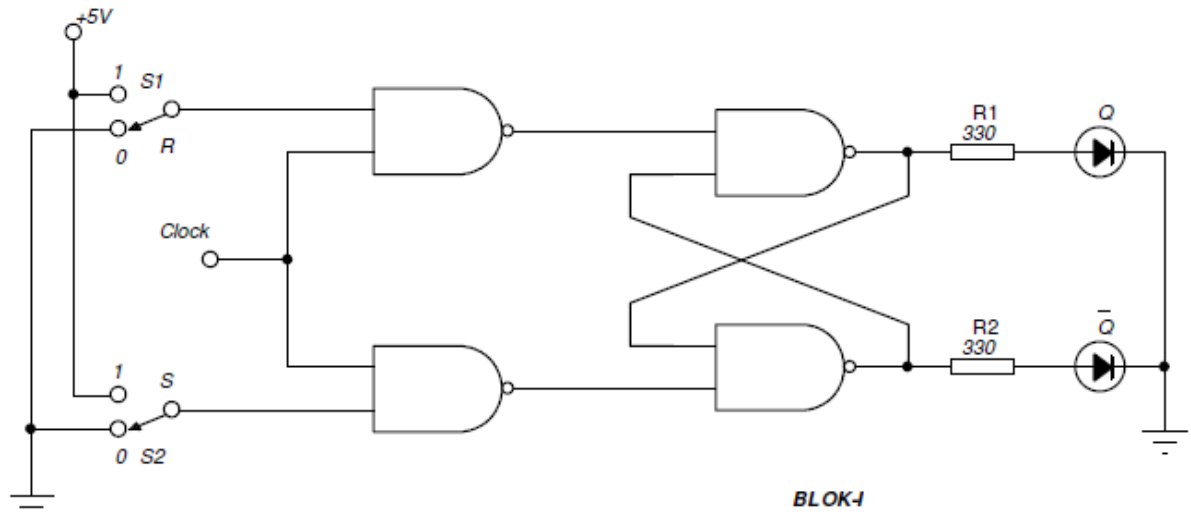
RS flip-flop' lara bir tetikleme devresi ilave edilerek daha kullanışlı hale getirilmiştir. Bu durumda değişkenlerin çıkışta ki yansıması için, R ve S girişlerine uygulanan değerlere ek olarak bir tetikleme darbesi (clock pulse) uygulanması gerekir. Tetikleme darbesi olarak logic “1” seviyesi kullanılır.



Şekil 2. Tetiklemeli RS Flip-Flop
a) Şeması b) Doğruluk Tablosu c) Sembolü

Deneyin Yapılışı:

7. BL-3001 modülünü ana üniteye yerleştirin ve I bloğunu bulun. Bu bloktaki R-S Flip-Flop, dört adet VEDEĞİL kapısı kullanılarak (7400 entegresi) tasarlanmıştır. Q ve $\bar{Q}$ çıkışları ise bu çıkışlara bağlantısı yapılmış LED'ler yardımı ile gözlemlenebilir.
8. H bloğundaki 555 entegresi ile yapılmış kare dalga osilatör devresinden Saat Darbesi çıkışını (CLK), I bloğundaki CLK girişine bağlayın. H bloğundaki S6 butonu ile Flip-Flop' a saat darbesinin uygulanması sağlanır. Yine aynı bloktaki CLK LED'i ile saat darbesi gözlemlenebilir.



Şekil 3 - VEDEĞİL Kapıları ile Tasarlanmış R-S Flip Flop Devresi

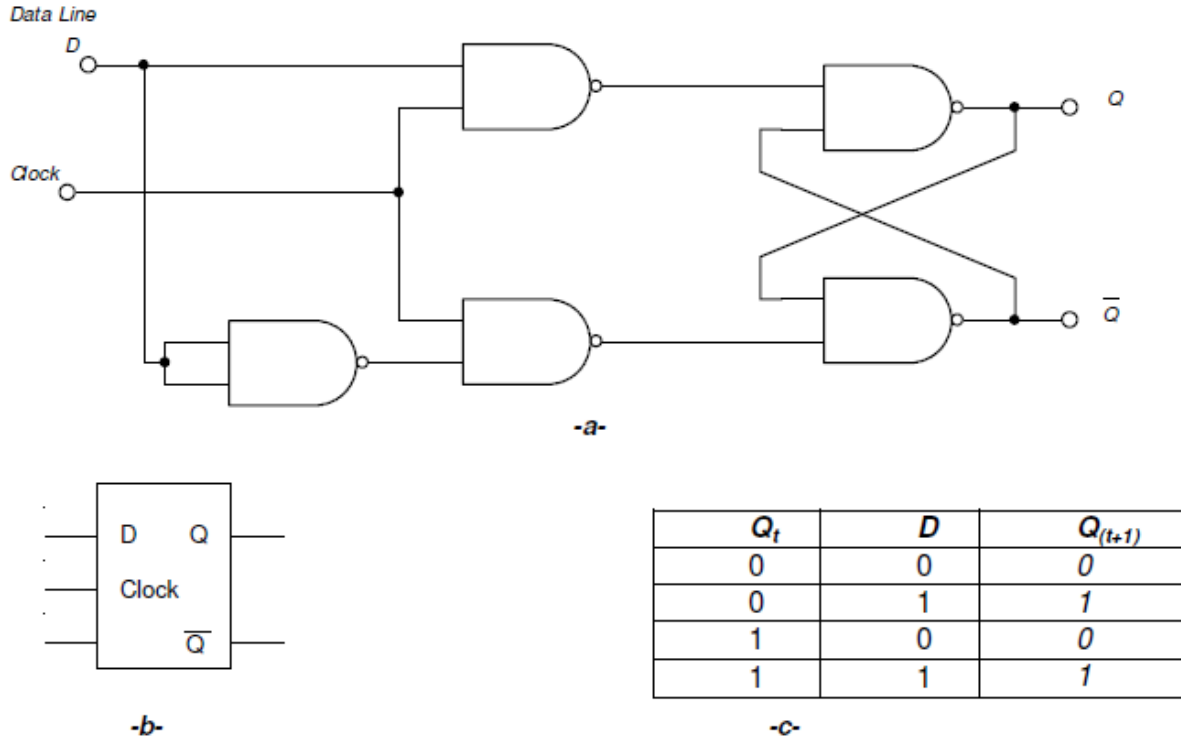
9. BLOK-I da, S1 ve S2 anahtarları ile Flip-Flop' un R ve S girişlerine uygulanacak lojik seviyeler ayarlanabilir. Tablo 1' de verilen doğruluk tablosuna göre, her bir giriş değerini anahtarlar yardımı ile ayarlayın ve saat darbesini uygulayarak çıkıştaki değişimi gözlemleyin. Q ve $\bar{Q}$ çıkışlarının Lojik değerlerini kaydedin.

CLK	S	R	Q	$\bar{Q}$
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Tablo 1 - R-S Flip Flop Devresi Doğruluk Tablosu

D (DATA) Tipi Flip-Flop

D tipi flip-flop uygulamada bellek elemanı olarak kullanılmaktadır. D Tipi Flip-Flop tetiklemeli R-S flip-flop değiştirilerek elde edilmiştir. Giriş, D çıkışlar ise Q ve $\bar{Q}$ uçları olarak belirlenmiştir. D girişine uygulanan sinyal, tetikleme (clock) girişine bir tetikleme darbesi uygulandığında Q çıkışına aktarılır. D=1 ise Q = 1 ve $\bar{Q}$ = 0' ır. Eğer tetikleme darbesi uygulanmamış ise çıkışlarda bir değişiklik olmaz ve durumlarını korurlar.

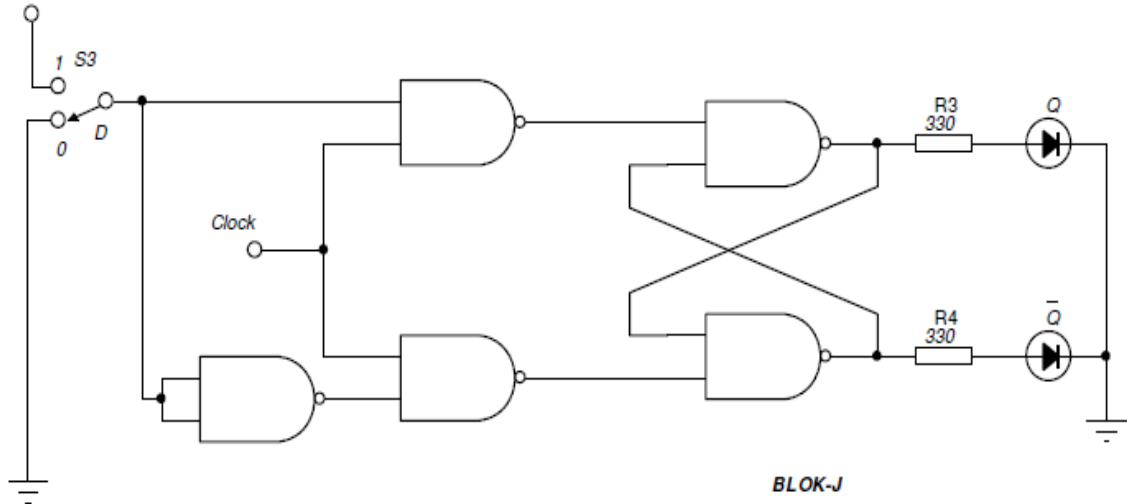


Şekil 4 – D Flip-Flop

a) Şeması b) Sembolü c) Doğruluk Tablosu

Deneyin Yapılışı:

7. BL-3001 modülünü ana üniteye yerleştirin ve J bloğunu bulun. Bu bloktaki D-Tipi Flip-Flop, beş adet VEDEĞİL kapısı kullanılarak (7400 entegresi) tasarlanmıştır. Q ve Q çıkışları ise bu çıkışlara bağlantısı yapılacak LED'ler yardımı ile gözlemlenebilir (Sekil 5).
8. BLOK-H' daki 555 entegresi ile yapılmış kare dalga osilatör devresinden Saat Darbesi çıkışını (CLK), BLOK J' daki CLK girişine uygulayın.



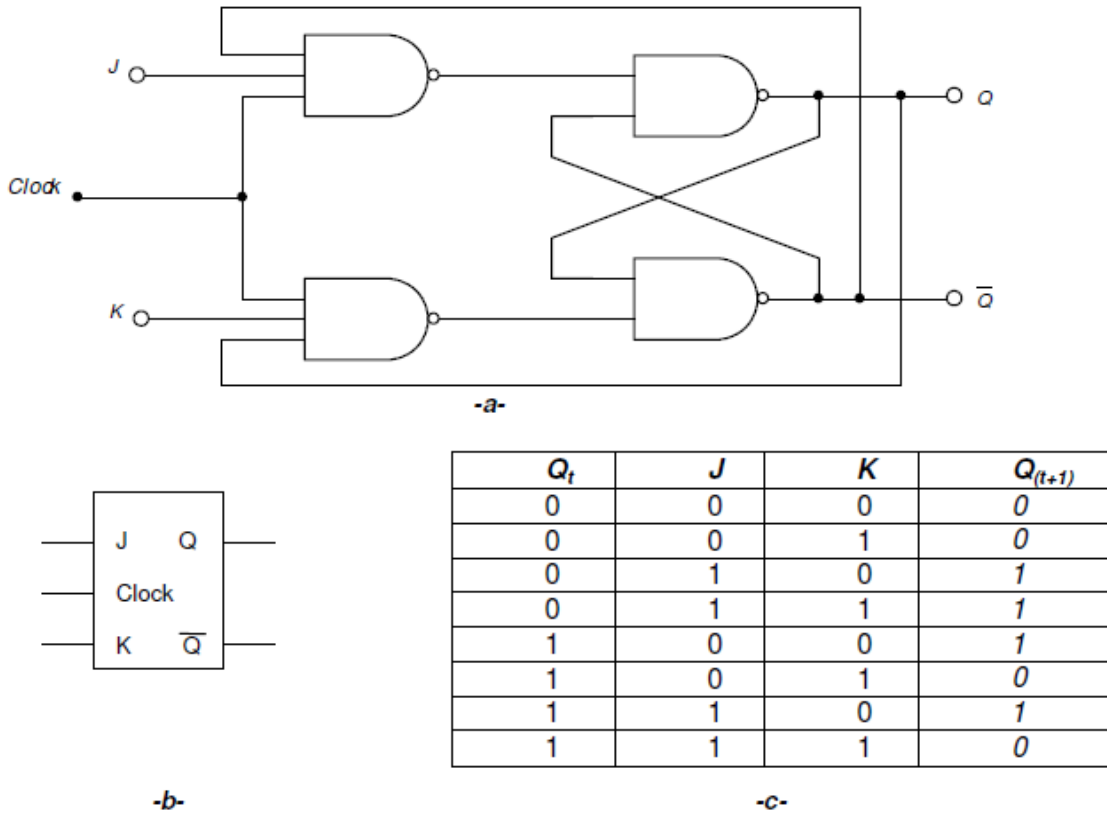
Şekil.5 - VEDEĞİL Kapıları ile Tasarlanmış D Tipi Flip Flop Devresi

9. ŞEKİL 4/c' de D ve Q ucundaki lojik değerler verilmiştir. Q_t ve Q_{t+1} durumlarındaki çıkış değerlerini gözlemleyin (Q_t ilk durum; Q_{t+1} Saat darbesi uygulandıktan sonraki durum).

J-K Flip-Flop

J-K Flip-Flopu, R-S Flip-Flop' undaki tanımsızlık durumunun J-K Flip-Flop' unda tanımlı hale getirilmesi açısından RS' in geliştirilmiş türüdür.

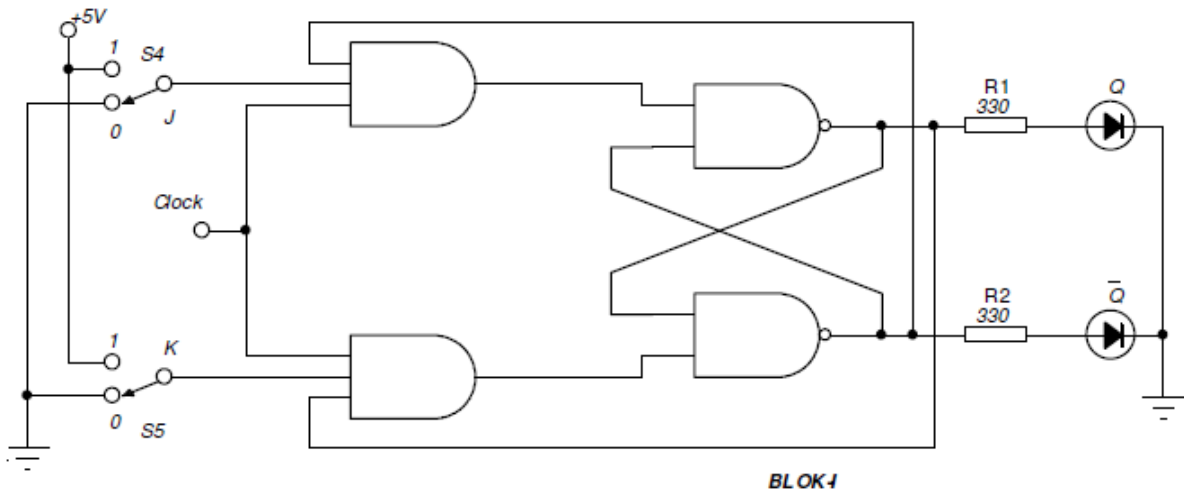
J ve K girişleri SET (kurma) ve RESET (silme) için kullanılır. (J=SET; K=RESET) J ve K girişlerine aynı anda "1" uygulandığında, flip-flop değilleyen (eviren) durumuna geçer. $Q_{(t)} = 1$ ise $Q_{(t+1)} = 0$; $Q_{(t)} = 0$ olduğunda ise $Q_{(t+1)} = 1$ olur.



Şekil 6 - J-K Flip-Flop
a) Şeması b) Sembolü c) Doğruluk Tablosu

Deneyin Yapılışı:

7. BL-3001 modülünü ana üniteye yerleştirin ve K bloğunu bulun.
8. BLOK-H' daki 555 entegresi ile yapılmış kare dalga osilatör devresinden Saat Darbesi çıkışını (CLK) , BLOK K 'daki CLK girişine uygulayın.
9. S4 anahtarı ile J ve S5 anahtarı ile de K girişinin değerlerini değiştirerek Flip-Flop çıkışındaki değişimleri gözlemleyiniz. Şekil 6/c' deki J-K Doğruluk tablosu ile karşılaştırın.



Şekil 7 - J-K Flip Flop Devresi

LOJİK DEVRELER LABORATUVARI

DENEY NO : 9

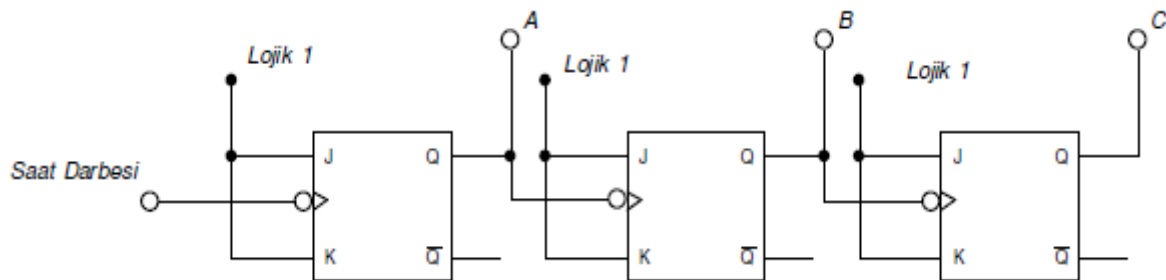
DENEYİN ADI : FLİP-FLOP' LARLA ASENKRON SAYICI TASARIMI

Giriş

Sayıcılar temelde tetiklenme şekillerine göre asenkron ve senkron olmak üzere ikiye ayrılır. Asenkron sayıcılarda, ana tetikleme sinyali sayıcı içindeki sayıcılardan sadece ilk Flip-Flop' un girişine uygulanır. Bu Flip Flop'un çıkışı ise bir sonraki Flip-Flop' u tetikler. Bir başka deyişle; her Flip-Flop' un çıkışı bir sonraki Flip-Flop için tetikleme darbesi olarak kullanılır. Senkron sayıcılar ise sayıcıda yer alan tüm Flip-Flop' lar aynı anda tetiklenir. Saat darbeleri bütün Flip-Flop' ların CP (Clock Pals) girişlerine uygulanır.

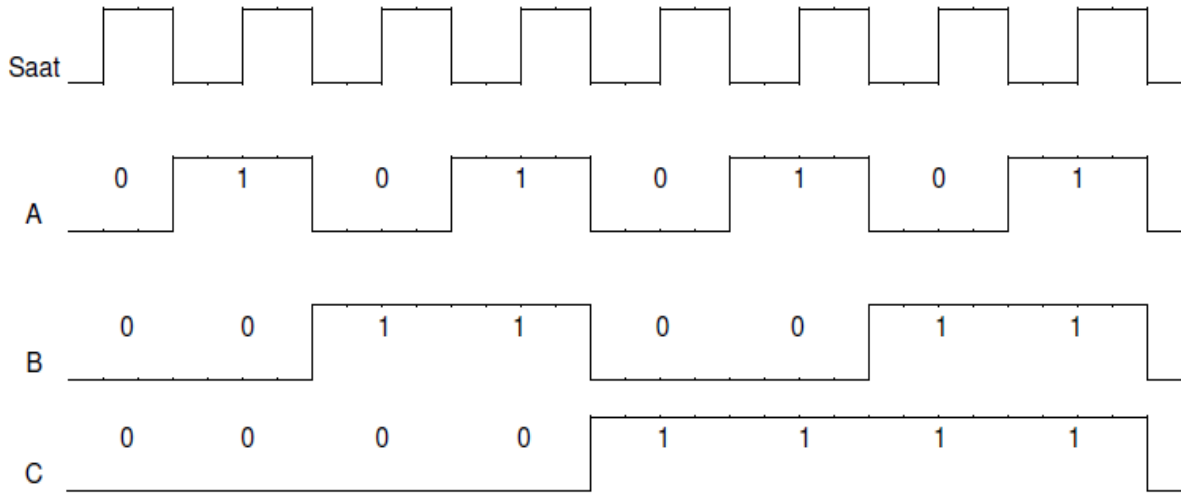
Asenkron Sayıcılar

Asenkron sayıcılar Ripple (Dalgacık) Sayıcı olarak da adlandırılırlar. Flip-Flop' ların çıkış değişimi bir sonraki Flip-Flop' u tetikleme için kullanılır. Sayıcının kaç kadar sayacağı sayma modu olarak tanımlanır. N = Flip-Flop sayısı olarak, Sayma modu = 2^N olarak bulunur ve son göstereceği sayının onluk değeri ise $2^N - 1$ dir. Birbirlerine seri ve kaskad olarak bağlanarak oluşturulan bir sayıcı Şekil 1' de gösterilmiştir. Üç bitlik olan bu sayıcı ikilik tabanda 000 dan 111 değerine kadar saymaktadır.



Şekil 1 - Üç Bitlik Asenkron Sayıcı

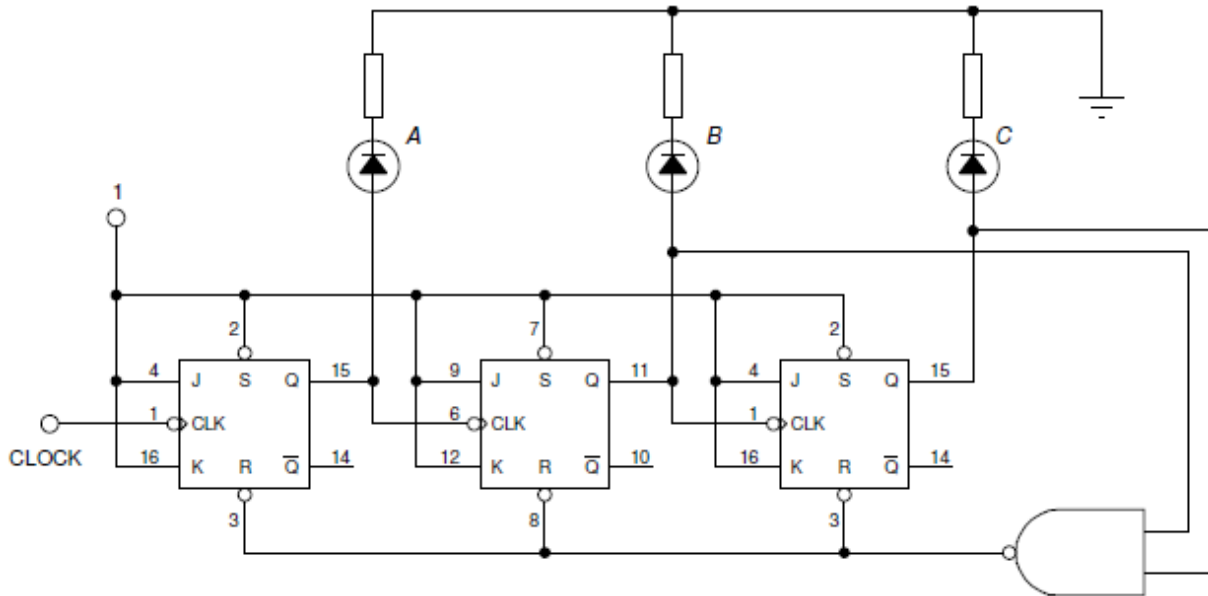
Görüldüğü gibi tüm Flip-Flop' ların J ve K girişlerine Lojik "1" seviyesi uygulanmıştır. Flip-Flop' lar düşen kenar tetiklenmeli olup lojik seviye "1" den "0" a indiğinde tetiklenmektedir (Saat darbesinin uygulandığı uçtaki "değilleme" halkası bunu işaret etmektedir.). İlk anda tüm çıkışlar "0" kabul edilir. İlk saat darbesinin düşen kenarında A Flip-Flop' unun çıkışı "1" olacaktır (001). İkinci saat darbesinde ise A Flip-Flop' un çıkışı "1" seviyesinden "0" seviyesine düşecektir. Bu değişim ise B Flip-Flop' unun çıkışını "0" dan "1" e yükselmesine sebep olacaktır (010). Üçüncü saat darbesinde A Flip-Flop' unun çıkışı tekrar "1" seviyesine yükselecek fakat B Flip-Flop' unun çıkışında bir değişim olmayacak (011). Dördüncü saat darbesinde ise A Flip-Flop' unun çıkışı "0" seviyesine düşecektir. Bu düşüş ile B' nin çıkışı "0" a düşecektir ve bu C Flip-Flop' unun tetikleyerek, çıkışını "1" seviyesine çıkaracaktır. Tüm çıkışlar "1" olduktan sonra 8 saat darbesinde tüm çıkışlar tekrar "0" seviyesine iner ve sayma tekrar başlar.



Şekil.2 - 3 Bitlik MOD-8 Sayıcısı Saat Darbesi ve Flip Flop Çıktıları

Deneyin Yapılışı:

1. BL-3002 modülünü ana üniteye yerleştirin ve A bloğunu bulun.
2. Bu modüldeki 4 adet JK Flip-Flop ile 4 bitlik sayıcı tasarlanabilir. Sayıcı tasarımı için gerekebilecek tüm kapılar yine bu modülde bulunmaktadır.
3. MOD-6 asenkron sayıcı için Şekil 3' deki devre bağlantılarını yapın. Flip-Flop çıktılarına ana üniteye bağlı LED' lere bağlayın.
4. Saat (clock) darbesi olarak ana üniteden 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana üniteye bağlı pals devresi yardımıyla manuel olarak da uygulanabilir.
5. Her saat darbesi ile A-B-C çıktıların değişimini gözlemleyin ve Tablo 1 'e kaydedin.



Şekil 3. – MOD-6 Asenkron Sayıcı Devresi

CLK	MSB C	B	LSB A
0			
1			
2			
3			
4			
5			
6			
7			
8			
9			
10			

Tablo 1 - Asenkron Sayıcı Saat Darbelerine Karşılık Çıkış Değerleri

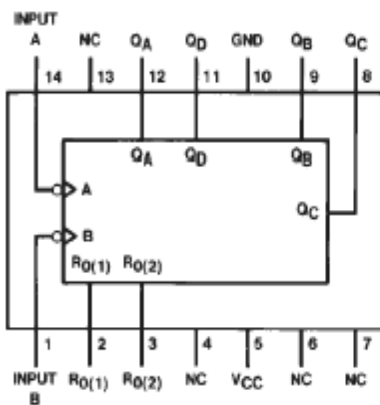
LOJİK DEVRELER LABORATUVARI

DENEY NO : 10

DENEYİN ADI : SAYICILAR – 7493 ve 4026

4 BİT BCD Yukarı Sayıcı

7493, 4 bitlik asenkron BCD yukarı sayıcı entegresidir. İşlem tablosundan (Şekil 1–b) görüldüğü gibi, sayma işleminin gerçekleşebilmesi için reset girişlerinden en az bir tanesi “L” seviyede olmalıdır.



-a-

Reset Inputs		Outputs			
R0(1)	R0(2)	QD	QC	QB	QA
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

-b-

Count	Outputs			
	QD	QC	QB	QA
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

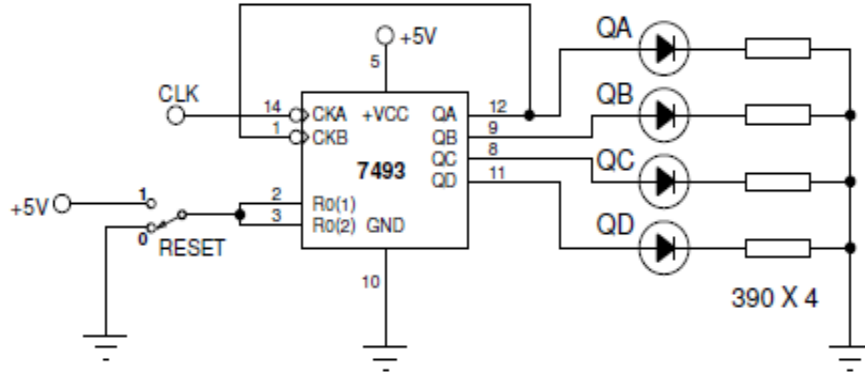
Not: QA çıkışı INPUT B girişine bağlı

-c-

Şekil 1 7493 entegresinin -a- ayak yapısı -b- işlem tablosu -c- doğruluk tablosu

Deneyin Yapılışı:

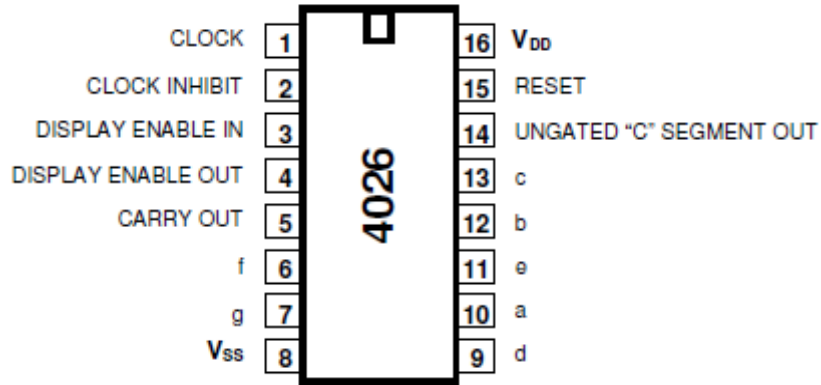
5. BL-3004 modülünü ana üniteye yerleştirin ve L bloğunu bulun.
6. Ana ünite üzerindeki anahtar ve LED'leri de kullanarak Şekil 2' deki devreyi kurun.
7. RESET anahtarını kapatarak sayıcı çıkışlarını sıfırlayın (0000).
8. RESET anahtarını açarak devrenin CLK girişine ana ünite üzerinden 1Hz'lik kare dalga sinyal uygulayınız. Saat darbeleri ana ünite üzerindeki pals devresi yardımıyla manuel olarak da uygulanabilir.
9. Çıkıştaki sayının her clock pulsı geldiğinde yukarı yönde arttığını gözlemleyin.
10. QA, QB, QC ve QD sayma çıkışlarını ana ünite üzerindeki 7 segment display girişlerine bağlayarak gözlemlerinizi tekrarlayın.



Şekil.2 – 7493 Yukarı Sayıcı Devresi

7 Segment Display Sürücülü Yukarı Sayıcı

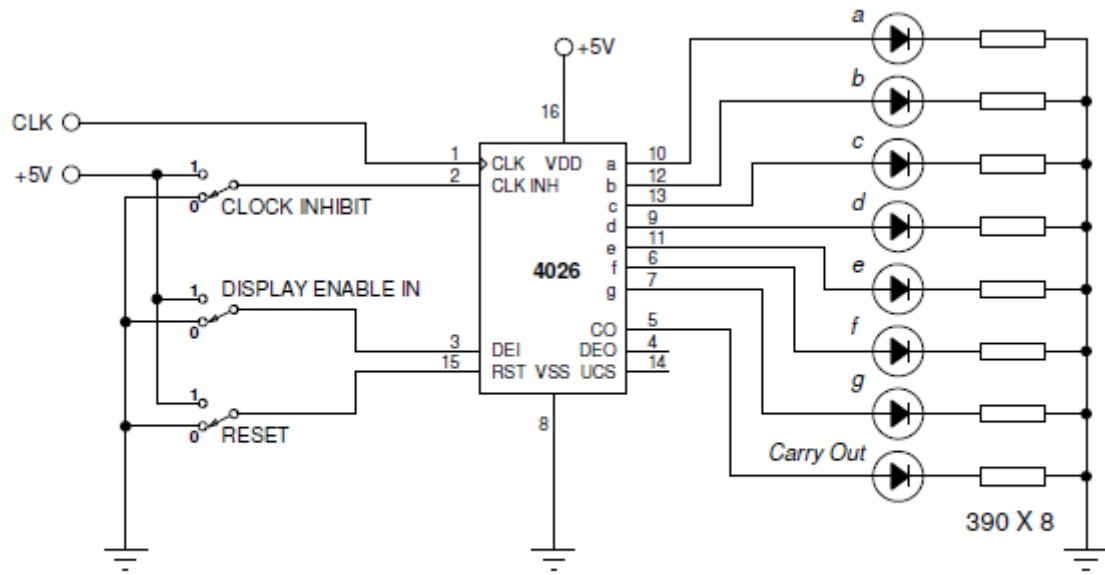
4026, 7 segment display (ortak katot) sürücü çıkışlarına sahip yukarı sayıcı entegresidir. Sayma işleminin gerçekleşebilmesi için CLOCK girişine kare dalga osilatör devresi üzerinden veya manuel olarak tetikleme sinyali verilmeli, RESET ve CLOCK INHIBIT girişlerine “L”, DISPLAY ENABLE IN girişine ise “H” seviye uygulanmalıdır.



Şekil 3 – 4026 entegresinin ayak yapısı

Deneyin Yapılışı:

5. BL-3004 modülünü ana üniteye yerleştirin ve H bloğunu bulun.
6. Ana üniteadaki anahtar ve LED'leri de kullanarak Şekil 4' deki devreyi kurun.
7. Devrenin CLK girişine ana üniteden 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana üniteadaki pals devresi yardımıyla manuel olarak da uygulanabilir.
8. CLOCK INHIBIT girişine "L" ve DISPLAY ENABLE girişine "H" uygulayın.
9. RESET girişine "H" uygulayarak sayıcı çıkışlarını sıfırlayın ve sayıcı çıkışlarını gözlemleyin.
10. RESET girişine "L" uygulayarak sayma işlemini başlatın. Her clock pulsı geldiğinde sayıcı çıkışlarındaki değişimi gözlemleyin.
11. Tablo 1' i gözlemleriniz doğrultusunda doldurunuz.



Şekil 4 – 4026 Yukarı Sayıcı Devresi (7 Segment Display Sürücülü)

CLK	RESET	CLOCK INHIBIT	DISPLAY ENABLE IN	a	b	c	d	e	f	g	CARRY OUT	DISPLAY
1	H	L	H	H	H	H	H	H	H	L		
2	L	L	H									
3	L	L	H									
4	L	L	H									
5	L	H	H									
6	L	L	H									
7	L	L	H									
8	L	L	H									
9	L	L	H									
10	L	L	H									
11	L	L	H									
12	L	L	L									

Tablo 1 – 4026 Yukarı Sayıcı (7 Segment Display Sürücülü) İşlem Tablosu

LOJİK DEVRELER LABORATUVARI

DENEY NO : 11

DENEYİN ADI : FLİP-FLOP' LARLA SENKRON SAYICI TASARIMI

Senkron Sayıcılar

Senkron sayıcılarda devredeki tüm Flip-Flop' lar eş zamanlı (senkron) olarak tetiklenirler. Ortak saat darbesi, asenkron sayıcıda olduğu gibi sırası ile tetikleme yerine, tüm Flip-Flop' ları aynı anda tetikler. Flip-Flop' un çıkışının değişerek bir sonraki duruma geçmesi ise, J ve K girişlerinin değerleri belirler. J=K=0 durumunda Flip-Flop bulunduğu çıkış durumunu korurken, J=K=1 Durumunda ise bir önceki çıkış durumunun "değilini" (tümleyeni) çıkışta gösterir.

Devreye yapılan tek giriş, saat darbesidir. Senkron sayıcı istenilen Mod' da tasarlanabilir. Tasarlama süreci şu şekildedir. Tasarım yapılırken bir sonraki durum göz önüne alınmalıdır. Daha sonra bu durumu sağlayacak J ve K girişlerinin alması gereken değerler Karnaugh Haritasına aktarılır. Burada uygun sadeleştirmeler yapılır ve Flip-Flop' ların girişlerinin kontrolü için gerekli lojik değerler bulunur ve devre tasarlanır. 3 bitlik MOD-8 bir sayıcı tasarımı şu şekildedir.

A	B	C
0	0	0
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1

-a- Sayma Sırası

A	B	C
0	0	1
0	1	0
0	1	1
1	0	0
1	0	1
1	1	0
1	1	1
0	0	0

-b- Bir Sonraki Durum

J_A	K_A	J_B	K_B	J_C	K_C
0	X	0	X	1	X
0	X	1	X	X	1
0	X	X	0	1	X
1	X	X	1	X	1
X	0	0	X	1	X
X	0	1	X	X	1
X	0	X	0	1	X
X	1	X	1	X	1

-c- Flip-Flop Girişleri

J_A

		AB			
		00	01	10	11
C	0	0	0	X	X
	1	0	1	X	X

$J_A = BC$

K_A

		AB			
		00	01	10	11
C	0	X	X	0	0
	1	X	X	1	0

$K_A = BC$

J_B

		AB			
		00	01	10	11
C	0	0	X	X	0
	1	1	X	X	1

$J_B = C$

K_B

		AB			
		00	01	10	11
C	0	X	0	0	X
	1	X	1	1	X

$K_B = C$

J_C

		AB			
		00	01	10	11
C	0	1	1	1	1
	1	X	X	X	X

$J_C = 1$

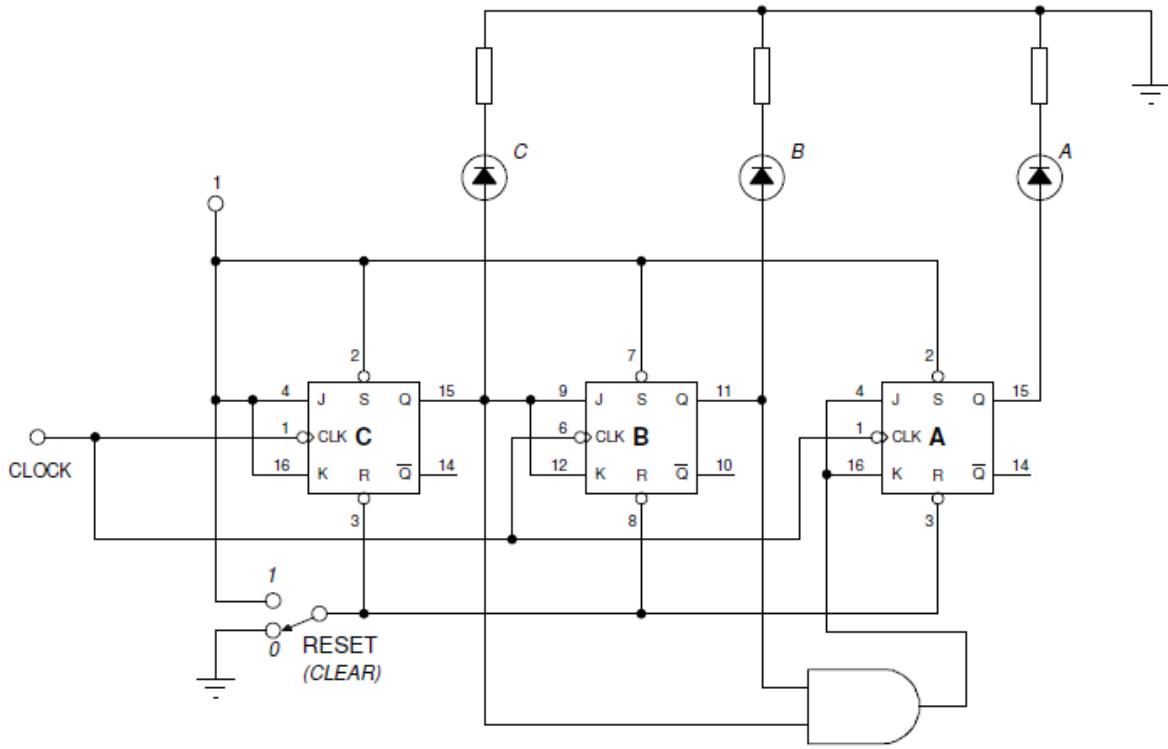
K_C

		AB			
		00	01	10	11
C	0	X	X	X	X
	1	1	1	1	1

$K_C = 1$

Tablo 1 - J ve K Girişlerinin Karnaugh Haritasına Dökümü ve Sadeleştirme Sonuçları

Karnaugh Haritasında yapılan sadeleştirme sonucuna göre sayıcı devresinin kurulumu Şekil 2' de görülmektedir.



Şekil 2 - MOD 8 Senkron Sayıcı

Deneyin Yapılışı:

1. BL-3002 modülünü ana üniteye yerleştirin ve A bloğunu bulun.
2. MOD-8 senkron sayıcı için Şekil 2 'deki devre bağlantılarını yapın. Flip-Flop çıkışlarını ana üniteye LED' lere bağlayın.
3. Saat (clock) darbesi olarak ana üniteden 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana üniteye pils devresi yardımıyla manuel olarak da uygulanabilir.
4. RESET (CLEAR) anahtarını "0" konumuna alarak Flip-Flop' ları sıfırlayın.
5. RESET (CLEAR) anahtarını "1" konuma getirip, A-B-C çıkışlarının değişimini gözlemleyin ve sonuçları Tablo 2' ye kaydedin.

CLK	MSB A	B	LSB C
0			
1			
2			
3			
4			
5			
6			
7			
8			
9			
10			

Tablo 2 - Senkron Sayıcı Saat Darbelerine Karşılık Çıkış Değerleri

LOJİK DEVRELER LABORATUVARI

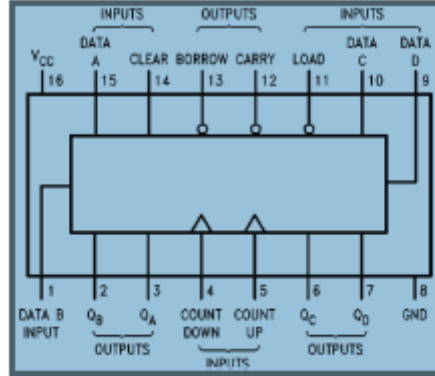
DENEY NO : 12

DENEYİN ADI : SAYICILAR - 74193

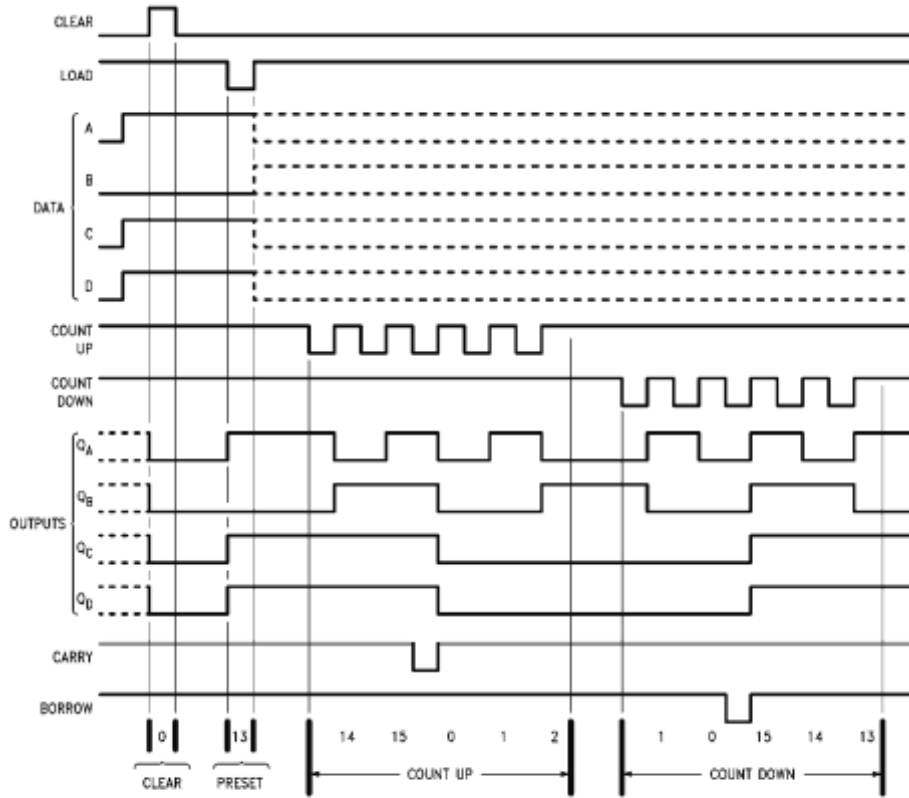
Programlanabilir 4 Bit Binary Yukarı Aşağı Sayıcı

74193, programlanabilir 4 bitlik binary yukarı-aşağı senkron sayıcı entegresidir. İstenilen sayıdan yukarı veya aşağı sayma işlemi yapılabilir.

Şekil 2' de verilen zaman diyagramından anlaşılacağı gibi, sayma işlemi için Clear girişi "L" ve Load girişi "H" seviyede olmalıdır. Yukarı sayma işlemi için Count Up girişine Clock sinyali ve Count Down girişine ise "H" uygulanır. Aşağı sayma işlemi için Count Down girişine Clock sinyali ve Count Up girişine ise "H" uygulanır. Sayıcıyı programlamak yani istenilen sayıdan yukarı veya aşağı yönde saydırmak için, Load girişine "H" uygulanır. Data Inputs (D,C,B,A) girişlerine başlangıç sayısı girildikten sonra Load girişine "L" uygulanır ve Clock sinyalinin verildiği giriş ucuna bağlı olarak sayıcı yukarı veya aşağı yönde sayar. Bu sayma işleminin döngüsel olarak devam etmesi isteniyorsa yukarı sayma işleminde Carry, aşağı sayma işleminde ise Borrow çıkışı Load girişine bağlanmalıdır. Sayma işlemi nasıl olursa olsun Clear girişine "H" uygulandığında sayıcı çıkışları sıfırlanır (0000). Yukarı yönlü sayma işleminde çıkışlar 1111 olduğunda Carry çıkışı ve aşağı sayma yönünde çıkışlar 0000 olduğunda Borrow çıkışı bir sonraki clock sinyali gelene kadar "L" seviyeye düşer.



Şekil 1 74193 entegresinin ayak yapısı



Şekil.2 74193 entegresinin zaman diyagramı

Deneyin Yapılışı:

11. BL-3002 modülünü ana üniteye yerleştirin ve B bloğunu bulun.
12. Devrenin CLK girişine ana üniteden 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana ünitedeki pals devresi yardımıyla manuel olarak da uygulanabilir.
13. S₃ anahtarını "0" konumuna alarak Load girişine "L" uygulayın
14. S₅ anahtar grubu ile sayıcının ikilik tabanda başlangıç değerini girin.
15. S₃ anahtarını "1" konumuna alarak Load girişine "H" uygulayın. Başlangıç değerini çıkışta gözlemleyin.
16. S₂ ve S₆ anahtarlarını "1" konumuna alın. Bu şekilde Down girişine "H" ve Up girişine CLK sinyali uygulanacak ve sayıcı yukarı sayacaktır. Çıkıştaki sayının her clock palsi geldiğinde yukarı doğru arttığını gözlemleyin.
17. S₆ anahtarını "0" konumuna alıp sayma işlemini durdurun.
18. S₄ anahtarını "1" nolu konuma alarak Clear girişine "H" uygulayıp sayıcıyı sıfırladıktan sonra bu anahtarı tekrar "0" konumuna alın.
19. S₃ anahtarını "0" konumuna alarak Load girişine "L" uygulayın.
20. S₅ anahtar grubu ile sayıcının ikilik tabanda başlangıç değerini girin.
21. S₃ anahtarını "1" konumuna alarak Load girişine "H" uygulayın. Başlangıç değerini çıkışta gözlemleyin.
22. S₂ ve S₆ anahtarlarını "0" konumuna alın. Bu şekilde Up girişine "H" ve Down girişine CLK sinyali uygulanacak ve sayıcı aşağı sayacaktır. Çıkıştaki sayının her clock palsi geldiğinde aşağı doğru azaldığını gözlemleyin.
23. Yukarı ve aşağı yönlü sayma işlemleri boyunca, Q_A, Q_B, Q_C ve Q_D sayma çıkışları ile Carry (12 nolu ayak) ve Borrow (13 nolu ayak) çıkışlarındaki değişimleri gözlemleyin.
24. Q_A, Q_B, Q_C ve Q_D sayma çıkışlarını ana üniteye 7 segment display girişlerine bağlayarak gözlemlerinizi tekrarlayın.

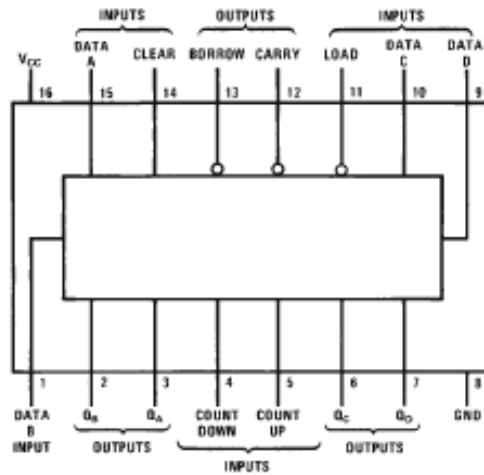
LOJİK DEVRELER LABORATUVARI

DENEY NO : 13

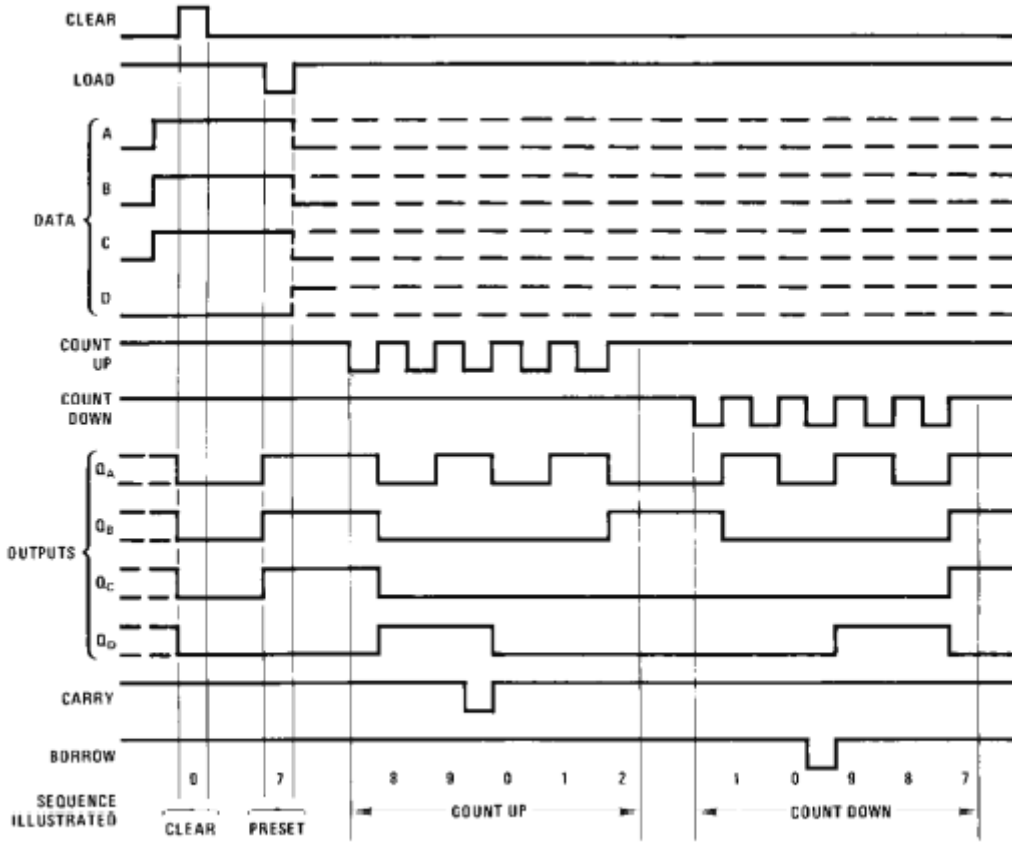
DENEYİN ADI : SAYICILAR - 74192

Programlanabilir 4 BİT BCD Yukarı Aşağı Sayıcı

74192, programlanabilir 4 bitlik BCD yukarı-aşağı senkron sayıcı entegresidir. İstenilen sayıdan yukarı veya aşağı sayma işlemi yapılabilir. Şekil 2' de verilen zaman diyagramından anlaşılabileceği gibi, sayma işlemi için Clear girişi "L" ve Load girişi "H" seviyede olmalıdır. Yukarı sayma işlemi için Count Up girişine Clock sinyali ve Count Down girişine ise "H" uygulanır. Aşağı sayma işlemi için Count Down girişine Clock sinyali ve Count Up girişine ise "H" uygulanır. Sayıcıyı programlamak yani istenilen sayıdan yukarı veya aşağı yönde saydırmak için, Load girişine "H" uygulanır. Data Inputs (D,C,B,A) girişlerine başlangıç sayısı girildikten sonra Load girişine "L" uygulanır ve Clock sinyalinin verildiği giriş ucuna bağlı olarak sayıcı yukarı veya aşağı yönde sayar. Bu sayma işleminin döngüsel olarak devam etmesi isteniyorsa yukarı sayma işleminde Carry, aşağı sayma işleminde ise Borrow çıkışı Load girişine bağlanmalıdır. Sayma işlemi nasıl olursa olsun Clear girişine "H" uygulandığında sayıcı çıkışları sıfırlanır (0000). Yukarı yönlü sayma işleminde çıkışlar 1001 olduğunda Carry çıkışı ve aşağı sayma yönünde çıkışlar 0000 olduğunda Borrow çıkışı bir sonraki clock sinyali gelene kadar "L" seviyeye düşer.



Şekil 1 74192 entegresinin ayak yapısı

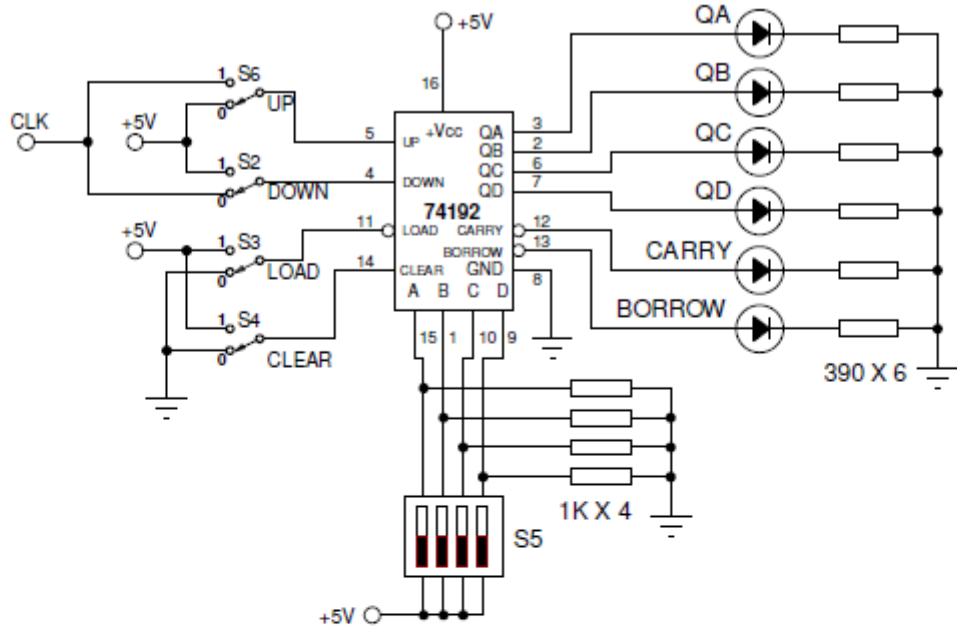


Şekil.2 74192 entegresinin zaman diyagramı

Deneyin Yapılışı:

6. BL-3004 modülünü ana üniteye yerleştirin ve I bloğunu bulun.
7. Ana ünite üzerindeki anahtar ve LED'leri de kullanarak Şekil 3' deki devreyi kurun.
8. Devrenin CLK girişine ana üniteye 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana ünite üzerindeki pils devresi yardımıyla manuel olarak da uygulanabilir.
9. S₃ anahtarını "0" konumuna alarak Load girişine "L" uygulayın
10. S₅ anahtar grubu (ana ünite üzerindeki anahtarları kullanın) ile sayıcının ikilik tabanda başlangıç değerini girin.
11. S₃ anahtarını "1" konumuna alarak Load girişine "H" uygulayın. Başlangıç değerini çıkışta gözlemleyin.
12. S₂ ve S₆ anahtarlarını "1" konumuna alın. Bu şekilde Down girişine "H" ve Up girişine CLK sinyali uygulanacak ve sayıcı yukarı sayacaktır. Çıkıştaki sayının her clock pils geldiğinde yukarı doğru arttığını gözlemleyin.
13. S₆ anahtarını "0" konumuna alıp sayma işlemini durdurun.
14. S₄ anahtarını "1" nolu konuma alarak Clear girişine "H" uygulayıp sayıcıyı sıfırladıktan sonra bu anahtarı tekrar "0" konumuna alın.
15. S₃ anahtarını "0" konumuna alarak Load girişine "L" uygulayın.
16. S₅ anahtar grubu ile sayıcının ikilik tabanda başlangıç değerini girin.
17. S₃ anahtarını "1" konumuna alarak Load girişine "H" uygulayın. Başlangıç değerini çıkışta gözlemleyin.
18. S₂ ve S₆ anahtarlarını "0" konumuna alın. Bu şekilde Up girişine "H" ve Down girişine CLK sinyali uygulanacak ve sayıcı aşağı sayacaktır. Çıkıştaki sayının her clock pils geldiğinde aşağı doğru azaldığını gözlemleyin.

19. Yukarı ve aşağı yönlü sayma işlemleri boyunca, Q_A , Q_B , Q_C ve Q_D sayma çıkışları ile Carry (12 nolu ayak) ve Borrow (13 nolu ayak) çıkışlarındaki değişimleri gözlemleyin.
20. Q_A , Q_B , Q_C ve Q_D sayma çıkışlarını ana ünitedeki 7 segment display girişlerine bağlayarak gözlemlerinizi tekrarlayın.



Şekil.3 – 74192 Yukarı-Aşağı Programlanabilir Sayıcı Devresi

CLOCK		CLEAR	LOAD	İŞLEM
UP	DOWN			
	H	L	H	
H		L	H	
X	X	H	X	
X	X	L	L	
H	H	L	H	

X: Önemsiz

Tablo 1 – 74192 Yukarı-Aşağı Programlanabilir Sayıcı İşlem Tablosu

LOJİK DEVRELER LABORATUVARI

DENEY NO : 14

DENEYİN ADI : SHIFT REGISTER (KAYDIRMALI KAYDEDİCİ)

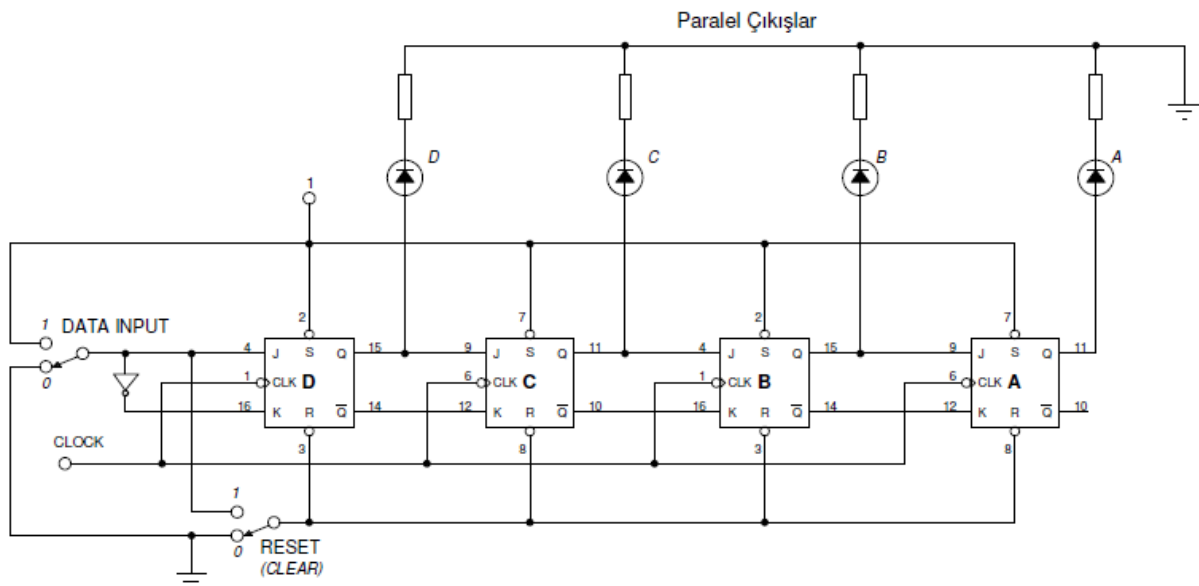
Giriş

Kaydediciler, ikilik tabandaki bilgileri saklamaya elverişli hücreler grubudur. Bu grupta kaydedici görevini flip-flop' lar üstlenmektedir. Her flip-flop bir bitlik saklama kapasitesine sahiptir. Kaydedicinin saklama kapasitesini gruptaki flip-flop sayısı belirler. Kaydediciler bünyesindeki flip-flop' ların yapılarından dolayı ardışıl lojik (Sequential) grubuna girmektedir.

Kaydırmalı kaydediciler, bünyesindeki flip-flop' ların hafızalarındaki bilgileri, her saat darbesi geldiğinde, bir sonraki flip-flop' a kaydırır. En basit bir kaydırma kaydedicisi, girişleri kendinden öncekinin çıkışına kaskad bağlı D tipi flip-flop' lardan oluşur. İlk flip-flop' un girişine ise seri bilgi uygulanır. Her bir saat darbesinde flip-flop' lardaki bilgiler sola kaydırmalı kaydedicide soldaki; sağa kaydırmalı kaydedicide ise sağdaki flip-flop' a geçer.

Deneyin Yapılışı:

1. BL-3002 modülünü ana üniteye yerleştirin ve A bloğunu bulun.
2. Ana ünite üzerindeki anahtar ve LED' leri de kullanarak Şekil 1' deki devreyi kurun.
3. RESET (CLEAR) anahtarını "0" konumuna alıp Flip-Flop' ları sıfırladıktan sonra RESET (CLEAR) anahtarını tekrar "1" konuma getirin.
4. DATA INPUT anahtarını "1" konumuna alın.
5. CLOCK girişini ana ünite üzerindeki pozitif PALS (Q) çıkışına bağlayın.
6. Ana ünite üzerindeki PALS butonuna basarak flip-flop' lara clock uygulayıp, çıkış LED' lerini gözlemleyin.
7. Tüm çıkışlar lojik "1" olup LED' ler yandıktan sonra, DATA INPUT anahtarını "0" konumuna alın.
8. Ana ünite üzerindeki PALS butonuna basarak flip-flop' lara clock uygulayıp, çıkış LED' lerini gözlemleyin.
9. Gözlemlerinizi tabloya kaydedin.



Şekil 1 Seri giriş paralel çıkış sağa kaydırmalı kaydedici devresi

RESET (CLEAR)	DATA INPUT	CLOCK	D	C	B	A
L	X	X				
H	H	1				
H	H	2				
H	L	3				
H	H	4				
H	L	5				
H	L	6				
H	L	7				
H	L	8				