



**TEKNOLOJİ FAKÜLTESİ**  
**ELEKTRİK ELEKTRONİK MÜHENDİSLİĞİ**

**EET-206**  
**SAYISAL ELEKTRONİK - II LABORATUVARI**

**DENEY FÖYÜ**

## EET-206 SAYISAL ELEKTRONİK - II LABORATUVARI

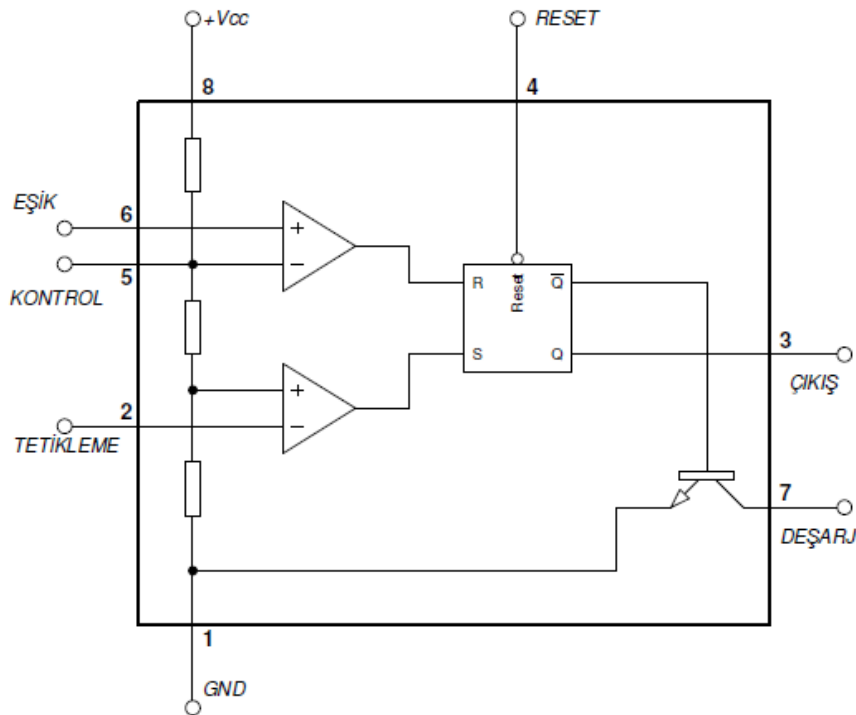
**DENEY NO : 1**

**DENEYİN ADI : OSİLATÖR DEVRESİ**

### Giriş

Osilasyon iki durum arasında salınım yapmak ya da gidip-gelme anlamına gelmektedir. Osilatör ise bu salınımı üreten anlamına gelip, elektronikte elektrik salınımları (Sinyal) üreten devre ya da aygıt olarak tanımlanır.

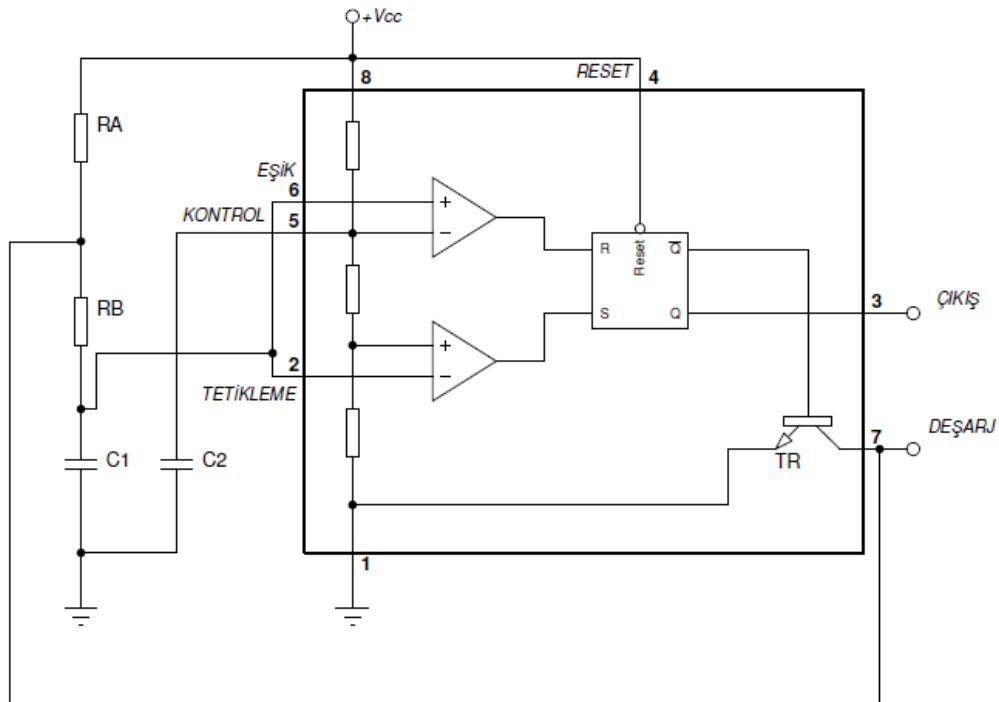
Dijital elektronik uygulamalarında en çok ihtiyaç duyulan osilatörlerden biri kare dalga osilatörüdür. Özellikle tetikleme darbesinin kullanıldığı devreler, bir kare dalga osilatörünü gerekli kılmıştır. Bu deneyde ise temel, basit ve frekans ve darbe genişliği ayarlanabilen bir kare dalga osilatör ile çalışılması amaçlanmıştır.



**Şekil 1 555 Entegresinin İç Yapısı**

555 entegresi bir zamanlama (TIMER) entegresidir. Entegrenin iç yapısını Şekil 1 de görülmektedir. Entegrenin “Eşik” (Threshold) ve “Tetikleme” (Trigger) uçlarına uygulanan gerilim değerlerine göre çıkışını 5V ve 0V olarak değiştirir. Devre temel olarak, iki adet gerilim karşılaştırıcı, bir R-S tipi Flip-Flop, Transistor ve gerilim bölücü dirençlerden oluşmaktadır.  $V_{CC}=5V$  kabul edilerek, gerilim bölücü görevindeki üç seri direnç yardımı ile birinci karşılaştırıcının eviren ucuna  $2/3 V_{CC}$  (yaklaşık 3.3V) ve ikinci karşılaştırıcının evirmeyen girişine de  $1/3 V_{CC}$  (Yaklaşık 1,7V) uygulanması sağlanmıştır. Birinci karşılaştırıcının evirmeyen girişindeki gerilim 3.3V’un üstüne çıktığı zaman, çıkışını “1” ( yaklaşık 5V) yapar. İkinci karşılaştırıcı ise, eviren ucundaki gerilim değeri 1,7V’ un altına indiğinde ise çıkışını “1” yapar. R-S Flip-Flop, R sadece R ucuna “1”

uygulandığında Flip Flop' u resetleyerek Q çıkışını "0" durumuna getirir. Sadece S ucu "1" olduğunda ise Flip Flop' u Set konumuna geçerek Q çıkışını "1" durumuna getirir. Bu şekilde esik gerilimi 3,3V'un üstüne çıktığında birinci karşılaştırıcın çıkışı "1", Flip-Flop "Reset" ve Q çıkışı da "0" konumuna gelir. Tetikleme gerimi de 1,7V'un altında olduğu zaman da Q=1 konumuna geçer.



**Şekil 2 555 li Osilatör Devresi Temel Şeması**

Entegrenin bu çalışması kullanılarak, Tetikleme ve Esik uçlarındaki gerilim değerleri değiştirilerek bir kare dalga osilatör tasarlanabilir. Şekil 2 de görülen basit bir direnç kondansatör ile kurulan bir osilatör devresi görülmektedir. Çalışması da şu şekildedir.

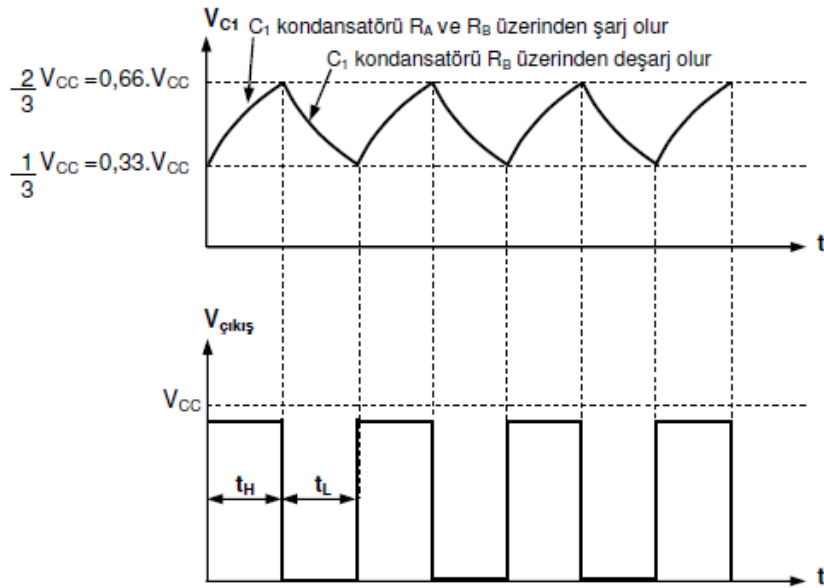
İlk anda entegre içindeki transistörün kesimde ve C1 kondansatörünün de boş olduğu kabul edilir. Bu şekilde C1 kondansatörü RA ve RB üzerinden şarj olmaya başlar. Kondansatör uçlarında ve buna bağlı olarak 555 entegresinin "Esik" ucuna düşen gerilim 3,3V 'a ulaştığında Flip-Flop resetlenir ve Q çıkışı "0" seviyesine iner. Q çıkışı ise "1" seviyesine çıkar. Bu durumda transistör iletme geçer ve C1 kondansatörü RB üzerinden deşarj olmaya başlar. Kondansatör uçlarındaki gerilim 1,7V'un altına düştüğünde ise, Flip-Flop, "Set" konumuna geçer ve Q =1 ve Q =0 olur. Bu durumda ise transistör kesime gider. CB kondansatörü RA ve RB üzerinden tekrar dolmaya başlar. Bu şekilde çıkış, Flip-Flop' un Q çıkış gerilim değerinde gidip gelir ( 0V ile 5V). Bu durum şekil 3' de görülmektedir.

Çıkış, kondansatörün şarj olma süresine eşit süre "1" seviyesinde kalır. Bu süreye "Darbe Genişliği" Süresi (Pulse Width) adı verilir ve

$$t_H = 0,697 \times (RA + RB) \times C1 \text{ zaman değerine eşittir.}$$

Kondansatörün boşalma süresi boyunca da çıkış "0" seviyesinde kalacaktır. Bu süre de

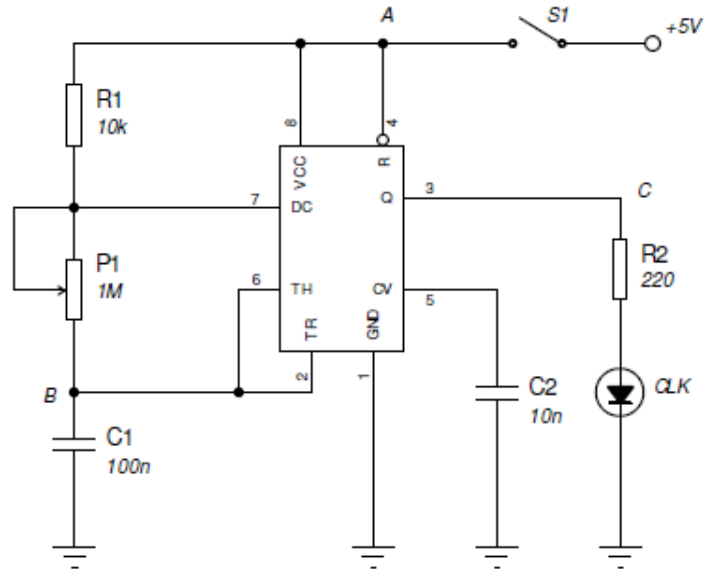
$$t_L = 0,697 \times RB \times C1$$



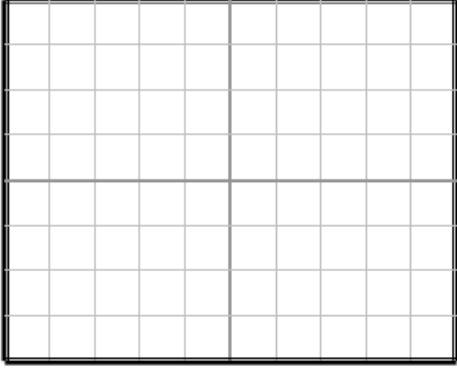
Şekil 3 555 'li Osilatör' ün çıkış sinyali

#### Deneyin Yapılışı:

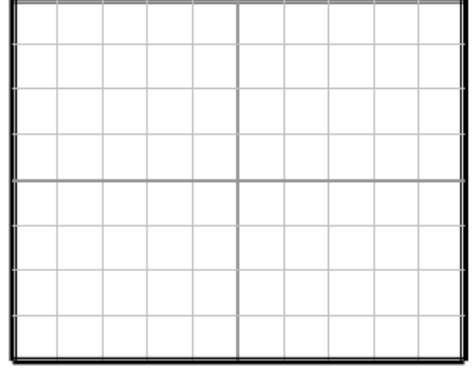
1. BL-3002 modülünü ana üniteye yerleştirin ve C bloğunu bulun.
2. S1 anahtarını kapatarak devreye enerji uygulayın. C noktasına osiloskobu bağlayın ve potansiyometre yardımı ile 1 KHz' lik bir kare dalga sinyali oluşturup gözlem tablosuna kaydedin.
3. Bu frekans değerini verecek potansiyometre direnç değerini, osiloskopta elde edilen dalganın darbe ve peryot süresini ve  $t_H$  ve  $t_L$  formüllerini kullanarak hesaplayın.
4. Potansiyometrenin değerini değiştirerek çıkıştaki dalga şeklini ve LED'in yanma-sönme hızlarını gözlemleyin.
5. 100Khz' lik bir çıkış sinyali oluşturarak A, B, C noktalarındaki dalga sinyallerini osiloskop ile ölçerek, doğru ölçeklendirme ile gözlem tablolarına çizin.



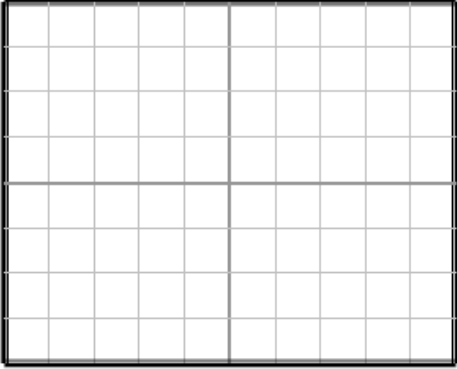
Şekil 4 555 'li Osilatör Deney Devresi



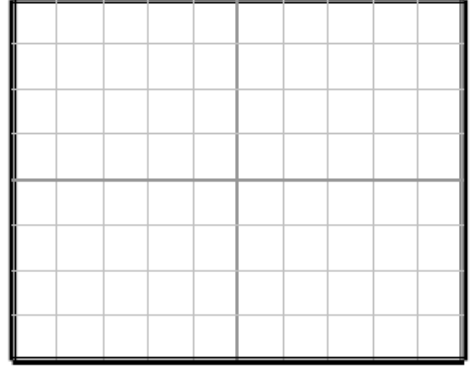
*1 KHz Kare Dalga Sinyali*



*100 Khz Kare Dalga Sinyali "A" Noktası*



*100 Khz Kare Dalga Sinyali "B" Noktası*



*100 Khz Kare Dalga Sinyali "C" Noktası*

## EET-206 SAYISAL ELEKTRONİK - II LABORATUVARI

**DENEY NO : 2**

**DENEYİN ADI : FLİP-FLOP' LAR**

### Sıralı Mantık

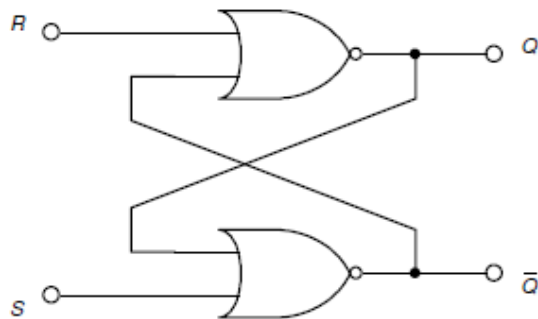
Her sayısal sistemde entegre devreler bulunsun da, pratikte rastlanan sistemlerin çoğunda sıralı mantık terimi ile adlandırılan bellek elemanları da vardır. Bellek elemanlarının, girişinde saat darbeleri kullanan sıralı devrelere ise saatli sıralı devreler denir. Bu devreler kararlı çalışmaktadır.

### Flip –Flop' lar

Sıralı devrelerde kullanılan bellek elemanlarına “flip-flop” denilmektedir. Bu devreler bir bitlik bilgi saklama yeteneğine sahiptirler. Flip –Flop' lar tek bir durum sinyali ile ikili bir durumu devreye güç verildiği sürece korurlar.

### RS Flip – Flop

RESET ve SET kelimelerinin ilk harflerinden ismini alan bu flip-flop çeşidinde, girişler R ve S; çıkışlar ise Q ve  $\bar{Q}$  uçları olarak kodlanmıştır. Görüldüğü gibi Q ve onun değili olan  $\bar{Q}$  birbirlerinin tersi seviyededir. Q = 1 ise,  $\bar{Q}$  = 0 seviyesindedir; Q = 0 ise,  $\bar{Q}$  = 1 seviyesindedir.



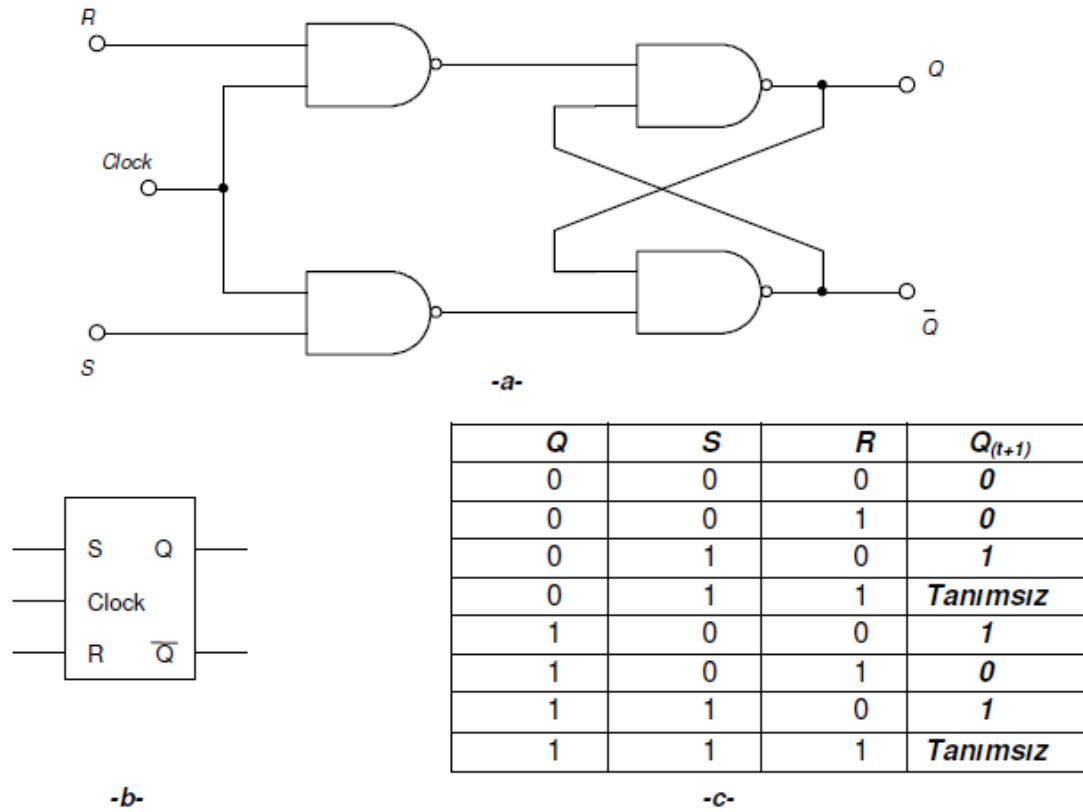
-a-

| S | R | Q | $\bar{Q}$ |
|---|---|---|-----------|
| 0 | 0 | Q | $\bar{Q}$ |
| 0 | 1 | 0 | 1         |
| 1 | 0 | 1 | 0         |
| 1 | 1 | X | X         |

-b-

**Şekil 1 : VEYADEĞİL Kapılı Temel RS Flip- Flop**  
a) Şeması b) Doğruluk Tablosu

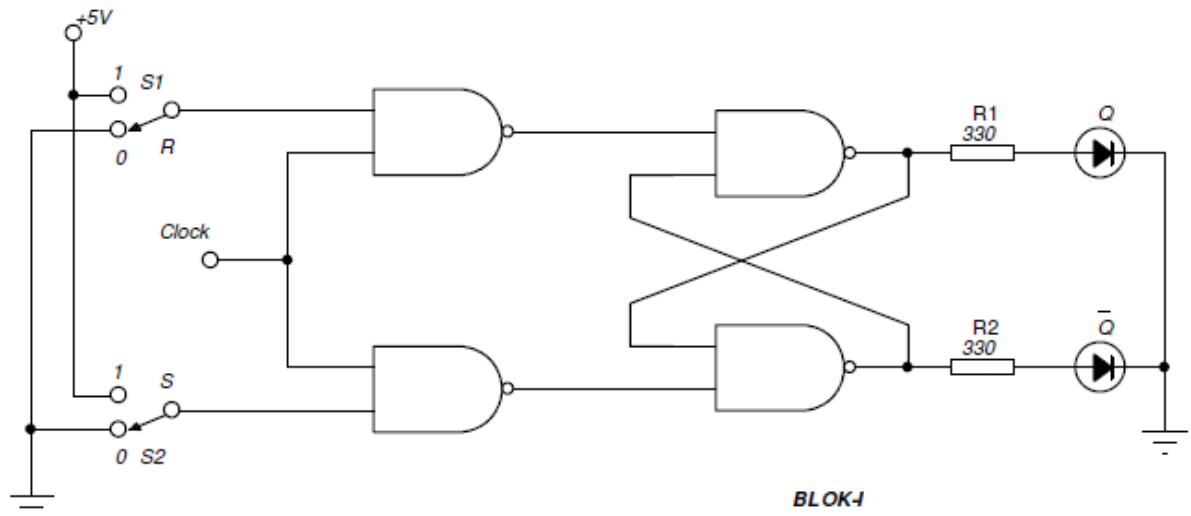
RS flip-flop' lara bir tetikleme devresi ilave edilerek daha kullanışlı hale getirilmiştir. Bu durumda değişkenlerin çıkışta ki yansıması için, R ve S girişlerine uygulanan değerlere ek olarak bir tetikleme darbesi (clock pulse) uygulanması gerekir. Tetikleme darbesi olarak logic “1” seviyesi kullanılır.



**Şekil 2. Tetiklemeli RS Flip-Flop**  
a) Şeması b) Doğruluk Tablosu c) Sembolü

#### Deneyin Yapılışı:

1. BL-3001 modülünü ana üniteye yerleştirin ve I bloğunu bulun. Bu bloktaki R-S Flip-Flop, dört adet VEDEĞİL kapısı kullanılarak (7400 entegresi) tasarlanmıştır. Q ve  $\bar{Q}$  çıkışları ise bu çıkışlara bağlantısı yapılmış LED'ler yardımı ile gözlemlenebilir.
2. H bloğundaki 555 entegresi ile yapılmış kare dalga osilatör devresinden Saat Darbesi çıkışını (CLK), I bloğundaki CLK girişine bağlayın. H bloğundaki S6 butonu ile Flip-Flop' a saat darbesinin uygulanması sağlanır. Yine aynı bloktaki CLK LED'i ile saat darbesi gözlemlenebilir.



**Şekil 3 - VEDEĞİL Kapıları ile Tasarlanmış R-S Flip Flop Devresi**

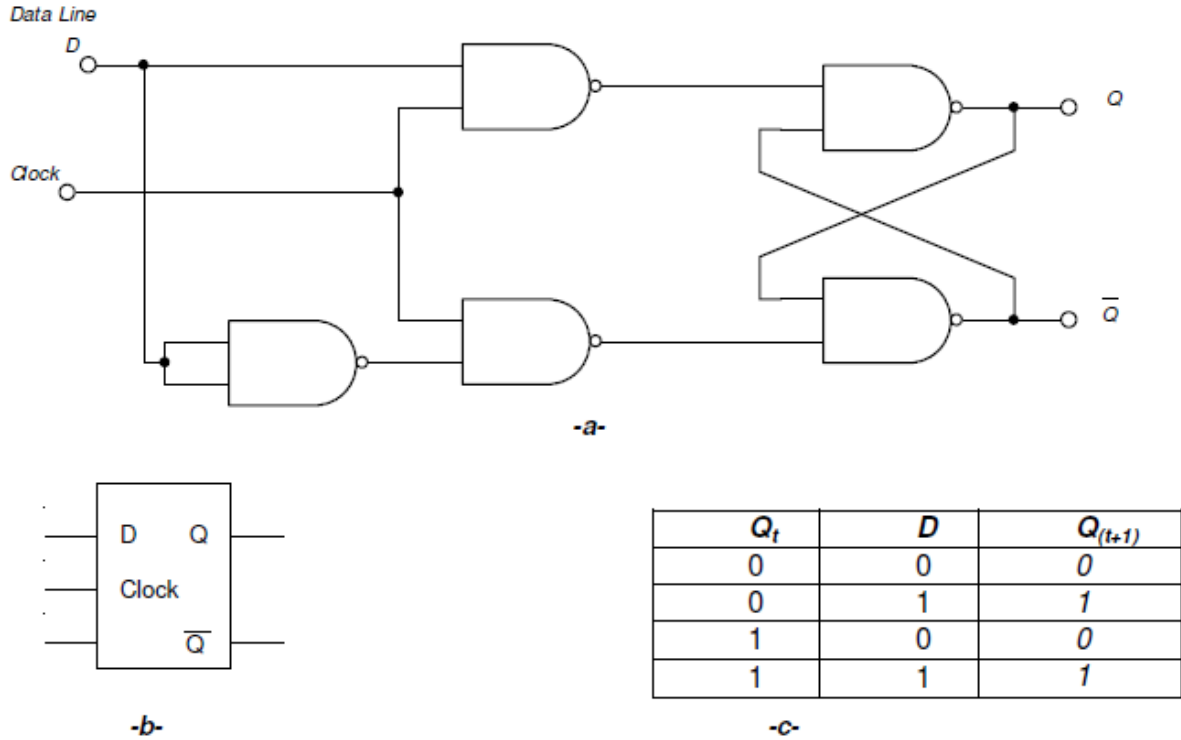
3. BLOK-I da, S1 ve S2 anahtarları ile Flip-Flop' un R ve S girişlerine uygulanacak lojik seviyeler ayarlanabilir. Tablo 1' de verilen doğruluk tablosuna göre, her bir giriş değerini anahtarlar yardımı ile ayarlayın ve saat darbesini uygulayarak çıkıştaki değişimi gözlemleyin. Q ve  $\bar{Q}$  çıkışlarının Lojik değerlerini kaydedin.

| CLK | S | R | Q | $\bar{Q}$ |
|-----|---|---|---|-----------|
| 0   | 0 | 0 |   |           |
| 0   | 0 | 1 |   |           |
| 0   | 1 | 0 |   |           |
| 0   | 1 | 1 |   |           |
| 1   | 0 | 0 |   |           |
| 1   | 0 | 1 |   |           |
| 1   | 1 | 0 |   |           |
| 1   | 1 | 1 |   |           |

**Tablo 1 - R-S Flip Flop Devresi Doğruluk Tablosu**

### D (DATA) Tipi Flip-Flop

D tipi flip-flop uygulamada bellek elemanı olarak kullanılmaktadır. D Tipi Flip-Flop tetiklemeli R-S flip-flop değiştirilerek elde edilmiştir. Giriş, D çıkışlar ise Q ve  $\bar{Q}$  uçları olarak belirlenmiştir. D girişine uygulanan sinyal, tetikleme (clock) girişine bir tetikleme darbesi uygulandığında Q çıkışına aktarılır. D=1 ise Q = 1 ve  $\bar{Q}$  = 0' dir. Eğer tetikleme darbesi uygulanmamış ise çıkışlarda bir değişiklik olmaz ve durumlarını korurlar.

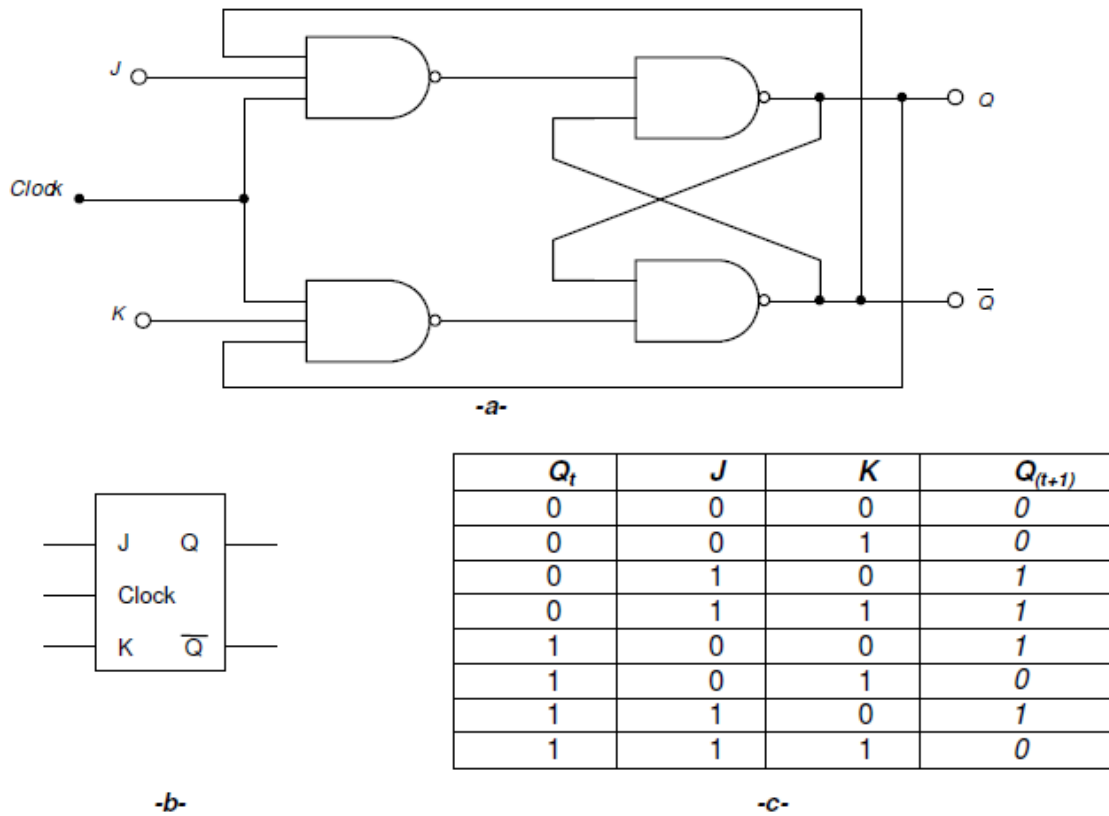


**Şekil 4 – D Flip-Flop**

a) Şeması b) Sembolü c) Doğruluk Tablosu



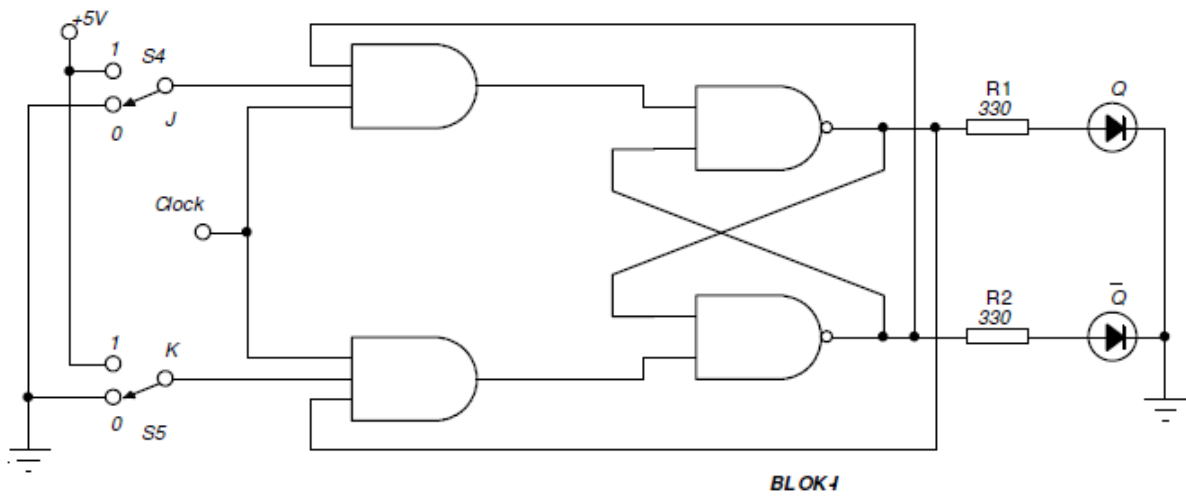




**Şekil 6 - J-K Flip-Flop**  
a) Şeması b) Sembolü c) Doğruluk Tablosu

#### Deneyin Yapılışı:

1. BL-3001 modülünü ana üniteye yerleştirin ve K bloğunu bulun.
2. BLOK-H' daki 555 entegresi ile yapılmış kare dalga osilatör devresinden Saat Darbesi çıkışını (CLK) , BLOK K 'daki CLK girişine uygulayın.
3. S4 anahtarı ile J ve S5 anahtarı ile de K girişinin değerlerini değiştirerek Flip-Flop çıkışındaki değişimleri gözlemleyiniz. Şekil 6/c' deki J-K Doğruluk tablosu ile karşılaştırın.



**Şekil 7 - J-K Flip Flop Devresi**

## EET-206 SAYISAL ELEKTRONİK - II LABORATUVARI

**DENEY NO : 3**

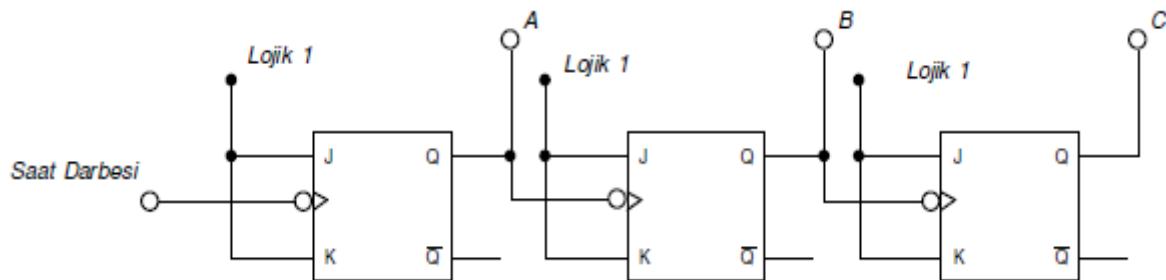
**DENEYİN ADI : FLİP-FLOP' LARLA ASENKRON SAYICI TASARIMI**

### Giriş

Sayıcılar temelde tetiklenme şekillerine göre asenkron ve senkron olmak üzere ikiye ayrılır. Asenkron sayıcılarda, ana tetikleme sinyali sayıcı içindeki sayıcılardan sadece ilk Flip-Flop' un girişine uygulanır. Bu Flip Flop'un çıkışı ise bir sonraki Flip-Flop' u tetikler. Bir başka deyişle; her Flip-Flop' un çıkışı bir sonraki Flip-Flop için tetikleme darbesi olarak kullanılır. Senkron sayıcılar ise sayıcıda yer alan tüm Flip-Flop' lar aynı anda tetiklenir. Saat darbeleri bütün Flip-Flop' ların CP (Clock Pals) girişlerine uygulanır.

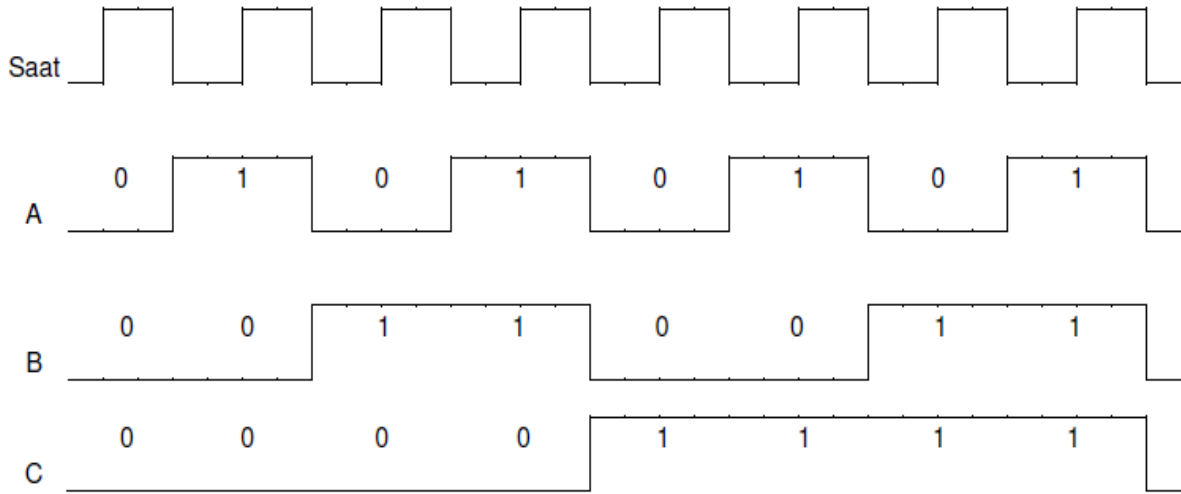
### Asenkron Sayıcılar

Asenkron sayıcılar Ripple ( Dalgacık ) Sayıcı olarak da adlandırılırlar. Flip-Flop' ların çıkış değişimi bir sonraki Flip-Flop' u tetikleme için kullanılır. Sayıcının kaç kadar sayacağı sayma modu olarak tanımlanır.  $N$  = Flip-Flop sayısı olarak, Sayma modu =  $2^N$  olarak bulunur ve son göstereceği sayının onluk değeri ise  $2^N - 1$  dir. Birbirlerine seri ve kaskad olarak bağlanarak oluşturulan bir sayıcı Şekil 1' de gösterilmiştir. Üç bitlik olan bu sayıcı ikilik tabanda 000 dan 111 değerine kadar saymaktadır.



**Şekil 1 - Üç Bitlik Asenkron Sayıcı**

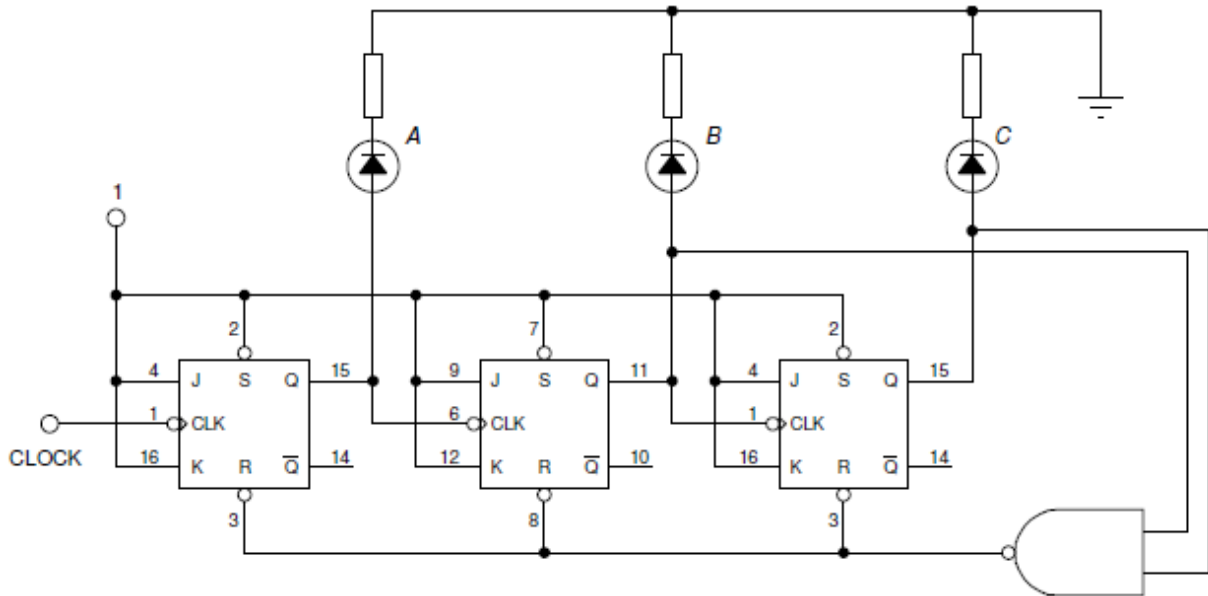
Görüldüğü gibi tüm Flip-Flop' ların J ve K girişlerine Lojik "1" seviyesi uygulanmıştır. Flip-Flop' lar düşen kenar tetiklenmeli olup lojik seviye "1" den "0" a indiğinde tetiklenmektedir (Saat darbesinin uygulandığı uçtaki "değilleme" halkası bunu işaret etmektedir.). İlk anda tüm çıkışlar "0" kabul edilir. İlk saat darbesinin düşen kenarında A Flip-Flop' unun çıkışı "1" olacaktır ( 001 ). İkinci saat darbesinde ise A Flip-Flop' un çıkışı "1" seviyesinden "0" seviyesine düşecektir. Bu değişim ise B Flip-Flop' unun çıkışını "0" dan "1" e yükselmesine sebep olacaktır (010). Üçüncü saat darbesinde A Flip-Flop' unun çıkışı tekrar "1" seviyesine yükselecek fakat B Flip-Flop' unun çıkışında bir değişim olmayacak (011). Dördüncü saat darbesinde ise A Flip-Flop' unun çıkışı "0" seviyesine düşecektir. Bu düşüş ile B' nin çıkışı "0" a düşecektir ve bu C Flip-Flop' unun tetikleyerek, çıkışını "1" seviyesine çıkaracaktır. Tüm çıkışlar "1" olduktan sonra 8 saat darbesinde tüm çıkışlar tekrar "0" seviyesine iner ve sayma tekrar başlar.



Şekil.2 - 3 Bitlik MOD-8 Sayıcısı Saat Darbesi ve Flip Flop Çıkışları

#### Deneyin Yapılışı:

1. BL-3002 modülünü ana üniteye yerleştirin ve A bloğunu bulun.
2. Bu modüldeki 4 adet JK Flip-Flop ile 4 bitlik sayıcı tasarlanabilir. Sayıcı tasarımı için gerekebilecek tüm kapılar yine bu modülde bulunmaktadır.
3. MOD-6 asenkron sayıcı için Şekil 3' deki devre bağlantılarını yapın. Flip-Flop çıkışlarını ana ünitedeki LED' lere bağlayın.
4. Saat (clock) darbesi olarak ana üniteden 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana ünitedeki pals devresi yardımıyla manuel olarak da uygulanabilir.
5. Her saat darbesi ile A-B-C çıkışlarının değişimini gözlemleyin ve Tablo 1 'e kaydedin.



Şekil 3. – MOD-6 Asenkron Sayıcı Devresi

| CLK | MSB<br>C | B | LSB<br>A |
|-----|----------|---|----------|
| 0   |          |   |          |
| 1   |          |   |          |
| 2   |          |   |          |
| 3   |          |   |          |
| 4   |          |   |          |
| 5   |          |   |          |
| 6   |          |   |          |
| 7   |          |   |          |
| 8   |          |   |          |
| 9   |          |   |          |
| 10  |          |   |          |

*Tablo 1 - Asenkron Sayıcı Saat Darbelerine Karşılık Çıkış Değerleri*

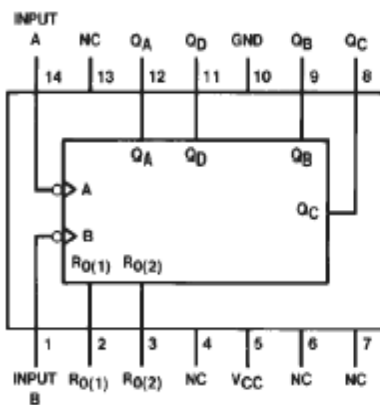
## EET-206 SAYISAL ELEKTRONİK - II LABORATUVARI

**DENEY NO : 4**

**DENEYİN ADI : SAYICILAR – 7493 ve 4026**

### 4 BİT BCD Yukarı Sayıcı

7493, 4 bitlik asenkron BCD yukarı sayıcı entegresidir. İşlem tablosundan (Şekil 1–b) görüldüğü gibi, sayma işleminin gerçekleşebilmesi için reset girişlerinden en az bir tanesi “L” seviyede olmalıdır.



-a-

| Reset Inputs |       | Outputs |    |    |    |
|--------------|-------|---------|----|----|----|
| R0(1)        | R0(2) | QD      | QC | QB | QA |
| H            | H     | L       | L  | L  | L  |
| L            | X     | COUNT   |    |    |    |
| X            | L     | COUNT   |    |    |    |

-b-

| Count | Outputs |    |    |    |
|-------|---------|----|----|----|
|       | QD      | QC | QB | QA |
| 0     | L       | L  | L  | L  |
| 1     | L       | L  | L  | H  |
| 2     | L       | L  | H  | L  |
| 3     | L       | L  | H  | H  |
| 4     | L       | H  | L  | L  |
| 5     | L       | H  | L  | H  |
| 6     | L       | H  | H  | L  |
| 7     | L       | H  | H  | H  |
| 8     | H       | L  | L  | L  |
| 9     | H       | L  | L  | H  |
| 10    | H       | L  | H  | L  |
| 11    | H       | L  | H  | H  |
| 12    | H       | H  | L  | L  |
| 13    | H       | H  | L  | H  |
| 14    | H       | H  | H  | L  |
| 15    | H       | H  | H  | H  |

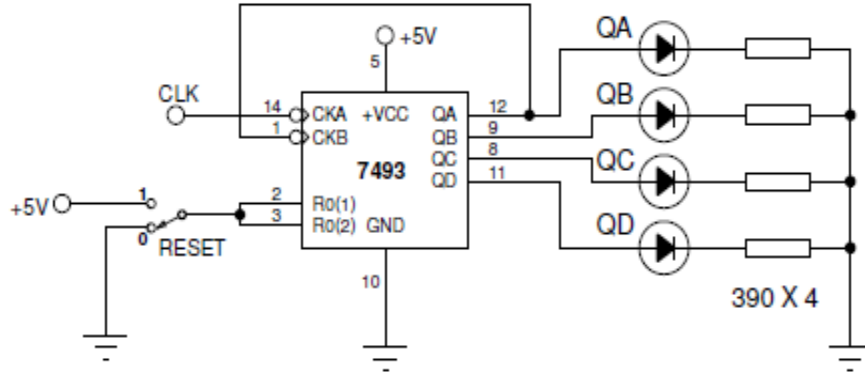
**Not: QA çıkışı INPUT B girişine bağlı**

-c-

**Şekil 1 7493 entegresinin -a- ayak yapısı -b- işlem tablosu -c- doğruluk tablosu**

### Deneyin Yapılışı:

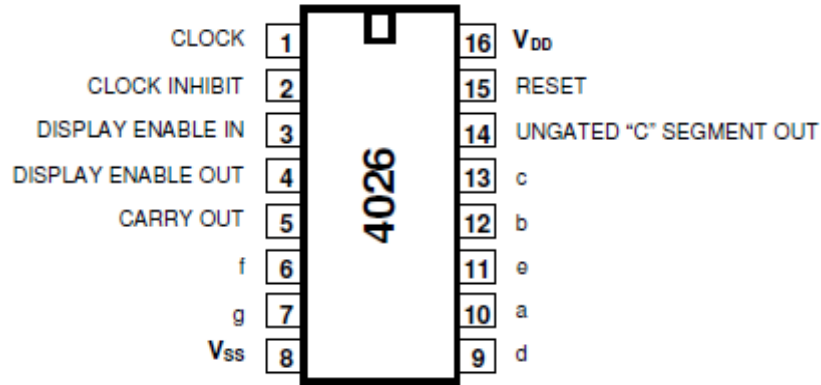
1. **BL-3004** modülünü ana üniteye yerleştirin ve L bloğunu bulun.
2. Ana ünite üzerindeki anahtar ve LED' leri de kullanarak Şekil 2' deki devreyi kurun.
3. RESET anahtarını kapatarak sayıcı çıkışlarını sıfırlayın (0000).
4. RESET anahtarını açarak devrenin CLK girişine ana üniteden 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana ünite üzerindeki pals devresi yardımıyla manuel olarak da uygulanabilir.
5. Çıkıştaki sayının her clock pulsı geldiğinde yukarı yönde arttığını gözlemleyin.
6. QA, QB, QC ve QD sayma çıkışlarını ana ünite üzerindeki 7 segment display girişlerine bağlayarak gözlemlerinizi tekrarlayın.



**Şekil.2 – 7493 Yukarı Sayıcı Devresi**

### 7 Segment Display Sürücülü Yukarı Sayıcı

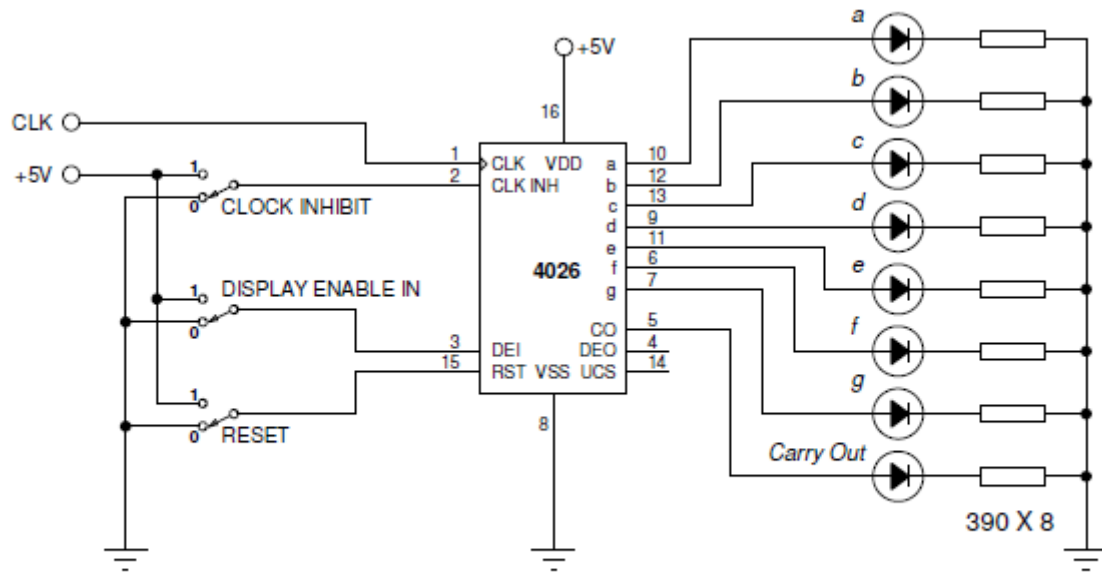
4026, 7 segment display (ortak katot) sürücü çıkışlarına sahip yukarı sayıcı entegresidir. Sayma işleminin gerçekleşebilmesi için CLOCK girişine kare dalga osilatör devresi üzerinden veya manuel olarak tetikleme sinyali verilmeli, RESET ve CLOCK INHIBIT girişlerine “L”, DISPLAY ENABLE IN girişine ise “H” seviye uygulanmalıdır.



**Şekil 3 – 4026 entegresinin ayak yapısı**

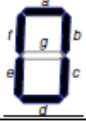
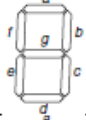
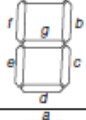
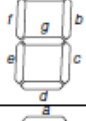
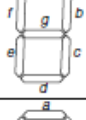
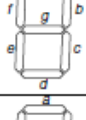
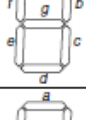
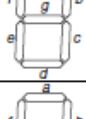
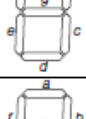
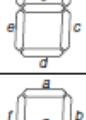
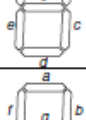
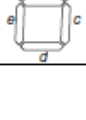
### Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve H bloğunu bulun.
2. Ana üniteadaki anahtar ve LED'leri de kullanarak Şekil 4' deki devreyi kurun.
3. Devrenin CLK girişine ana üniteden 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana üniteadaki pals devresi yardımıyla manuel olarak da uygulanabilir.
4. CLOCK INHIBIT girişine "L" ve DISPLAY ENABLE girişine "H" uygulayın.
5. RESET girişine "H" uygulayarak sayıcı çıkışlarını sıfırlayın ve sayıcı çıkışlarını gözlemleyin.
6. RESET girişine "L" uygulayarak sayma işlemini başlatın. Her clock pulsı geldiğinde sayıcı çıkışlarındaki değişimi gözlemleyin.
7. Tablo 1' i gözlemleriniz doğrultusunda doldurunuz.



**Şekil 4 – 4026 Yukarı Sayıcı Devresi (7 Segment Display Sürücülü)**



| CLK | RESET | CLOCK INHIBIT | DISPLAY ENABLE IN | a | b | c | d | e | f | g | CARRY OUT | DISPLAY                                                                               |
|-----|-------|---------------|-------------------|---|---|---|---|---|---|---|-----------|---------------------------------------------------------------------------------------|
| 1   | H     | L             | H                 | H | H | H | H | H | H | L |           |    |
| 2   | L     | L             | H                 |   |   |   |   |   |   |   |           |    |
| 3   | L     | L             | H                 |   |   |   |   |   |   |   |           |    |
| 4   | L     | L             | H                 |   |   |   |   |   |   |   |           |    |
| 5   | L     | H             | H                 |   |   |   |   |   |   |   |           |    |
| 6   | L     | L             | H                 |   |   |   |   |   |   |   |           |   |
| 7   | L     | L             | H                 |   |   |   |   |   |   |   |           |  |
| 8   | L     | L             | H                 |   |   |   |   |   |   |   |           |  |
| 9   | L     | L             | H                 |   |   |   |   |   |   |   |           |  |
| 10  | L     | L             | H                 |   |   |   |   |   |   |   |           |  |
| 11  | L     | L             | H                 |   |   |   |   |   |   |   |           |  |
| 12  | L     | L             | L                 |   |   |   |   |   |   |   |           |  |

Tablo 1 – 4026 Yukarı Sayıcı (7 Segment Display Sürücülü) İşlem Tablosu

## EET-206 SAYISAL ELEKTRONİK - II LABORATUVARI

**DENEY NO : 5**

**DENEYİN ADI : FLİP-FLOP' LARLA SENKRON SAYICI TASARIMI**

### Senkron Sayıcılar

Senkron sayıcılarda devredeki tüm Flip-Flop' lar eş zamanlı (senkron) olarak tetiklenirler. Ortak saat darbesi, asenkron sayıcıda olduğu gibi sırası ile tetikleme yerine, tüm Flip-Flop' ları aynı anda tetikler. Flip-Flop' un çıkışının değişerek bir sonraki duruma geçmesi ise, J ve K girişlerinin değerleri belirler. J=K=0 durumunda Flip-Flop bulunduğu çıkış durumunu korurken, J=K=1 Durumunda ise bir önceki çıkış durumunun "değilini" (tümleyeni) çıkışta gösterir.

Devreye yapılan tek giriş, saat darbesidir. Senkron sayıcı istenilen Mod' da tasarlanabilir. Tasarlama süreci şu şekildedir. Tasarım yapılırken bir sonraki durum göz önüne alınmalıdır. Daha sonra bu durumu sağlayacak J ve K girişlerinin alması gereken değerler Karnaugh Haritasına aktarılır. Burada uygun sadeleştirmeler yapılır ve Flip-Flop' ların girişlerinin kontrolü için gerekli lojik değerler bulunur ve devre tasarlanır. 3 bitlik MOD-8 bir sayıcı tasarımı şu şekildedir.

| <b>A</b> | <b>B</b> | <b>C</b> |
|----------|----------|----------|
| 0        | 0        | 0        |
| 0        | 0        | 1        |
| 0        | 1        | 0        |
| 0        | 1        | 1        |
| 1        | 0        | 0        |
| 1        | 0        | 1        |
| 1        | 1        | 0        |
| 1        | 1        | 1        |

**-a- Sayma Sırası**

| <b>A</b> | <b>B</b> | <b>C</b> |
|----------|----------|----------|
| 0        | 0        | 1        |
| 0        | 1        | 0        |
| 0        | 1        | 1        |
| 1        | 0        | 0        |
| 1        | 0        | 1        |
| 1        | 1        | 0        |
| 1        | 1        | 1        |
| 0        | 0        | 0        |

**-b- Bir Sonraki Durum**

| <b>J<sub>A</sub></b> | <b>K<sub>A</sub></b> | <b>J<sub>B</sub></b> | <b>K<sub>B</sub></b> | <b>J<sub>C</sub></b> | <b>K<sub>C</sub></b> |
|----------------------|----------------------|----------------------|----------------------|----------------------|----------------------|
| 0                    | X                    | 0                    | X                    | 1                    | X                    |
| 0                    | X                    | 1                    | X                    | X                    | 1                    |
| 0                    | X                    | X                    | 0                    | 1                    | X                    |
| 1                    | X                    | X                    | 1                    | X                    | 1                    |
| X                    | 0                    | 0                    | X                    | 1                    | X                    |
| X                    | 0                    | 1                    | X                    | X                    | 1                    |
| X                    | 0                    | X                    | 0                    | 1                    | X                    |
| X                    | 1                    | X                    | 1                    | X                    | 1                    |

**-c- Flip-Flop Girişleri**

**$J_A$**

|          |   |           |    |    |    |
|----------|---|-----------|----|----|----|
|          |   | <b>AB</b> |    |    |    |
|          |   | 00        | 01 | 10 | 11 |
| <b>C</b> | 0 | 0         | 0  | X  | X  |
|          | 1 | 0         | 1  | X  | X  |

**$J_A = BC$**

**$K_A$**

|          |   |           |    |    |    |
|----------|---|-----------|----|----|----|
|          |   | <b>AB</b> |    |    |    |
|          |   | 00        | 01 | 10 | 11 |
| <b>C</b> | 0 | X         | X  | 0  | 0  |
|          | 1 | X         | X  | 1  | 0  |

**$K_A = BC$**

**$J_B$**

|          |   |           |    |    |    |
|----------|---|-----------|----|----|----|
|          |   | <b>AB</b> |    |    |    |
|          |   | 00        | 01 | 10 | 11 |
| <b>C</b> | 0 | 0         | X  | X  | 0  |
|          | 1 | 1         | X  | X  | 1  |

**$J_B = C$**

**$K_B$**

|          |   |           |    |    |    |
|----------|---|-----------|----|----|----|
|          |   | <b>AB</b> |    |    |    |
|          |   | 00        | 01 | 10 | 11 |
| <b>C</b> | 0 | X         | 0  | 0  | X  |
|          | 1 | X         | 1  | 1  | X  |

**$K_B = C$**

**$J_C$**

|          |   |           |    |    |    |
|----------|---|-----------|----|----|----|
|          |   | <b>AB</b> |    |    |    |
|          |   | 00        | 01 | 10 | 11 |
| <b>C</b> | 0 | 1         | 1  | 1  | 1  |
|          | 1 | X         | X  | X  | X  |

**$J_C = 1$**

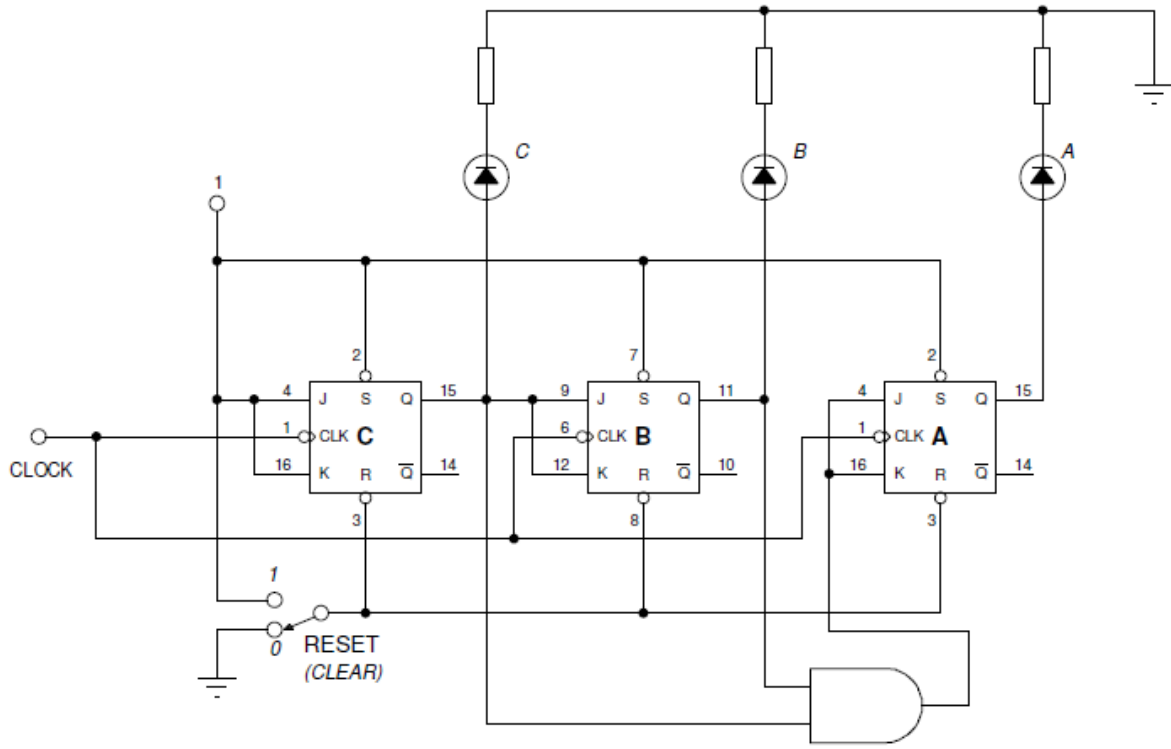
**$K_C$**

|          |   |           |    |    |    |
|----------|---|-----------|----|----|----|
|          |   | <b>AB</b> |    |    |    |
|          |   | 00        | 01 | 10 | 11 |
| <b>C</b> | 0 | X         | X  | X  | X  |
|          | 1 | 1         | 1  | 1  | 1  |

**$K_C = 1$**

**Tablo 1 - J ve K Girişlerinin Karnaugh Haritasına Dökümü ve Sadeleştirme Sonuçları**

Karnaugh Haritasında yapılan sadeleştirme sonucuna göre sayıcı devresinin kurulumu Şekil 2' de görülmektedir.



Şekil 2 - MOD 8 Senkron Sayıcı

#### Deneyin Yapılışı:

1. BL-3002 modülünü ana üniteye yerleştirin ve A bloğunu bulun.
2. MOD-8 senkron sayıcı için Şekil 2 'deki devre bağlantılarını yapın. Flip-Flop çıkışlarını ana ünite üzerindeki LED' lere bağlayın.
3. Saat (clock) darbesi olarak ana üniteden 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana ünite üzerindeki pils devresi yardımıyla manuel olarak da uygulanabilir.
4. RESET (CLEAR) anahtarını "0" konumuna alarak Flip-Flop' ları sıfırlayın.
5. RESET (CLEAR) anahtarını "1" konuma getirip, A-B-C çıkışlarının değişimini gözlemleyin ve sonuçları Tablo 2' ye kaydedin.

| CLK | MSB<br>A | B | LSB<br>C |
|-----|----------|---|----------|
| 0   |          |   |          |
| 1   |          |   |          |
| 2   |          |   |          |
| 3   |          |   |          |
| 4   |          |   |          |
| 5   |          |   |          |
| 6   |          |   |          |
| 7   |          |   |          |
| 8   |          |   |          |
| 9   |          |   |          |
| 10  |          |   |          |

Tablo 2 - Senkron Sayıcı Saat Darbelerine Karşılık Çıkış Değerleri

## EET-206 SAYISAL ELEKTRONİK - II LABORATUVARI

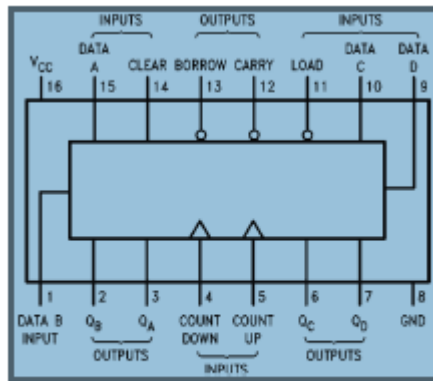
**DENEY NO : 6**

**DENEYİN ADI : SAYICILAR - 74193**

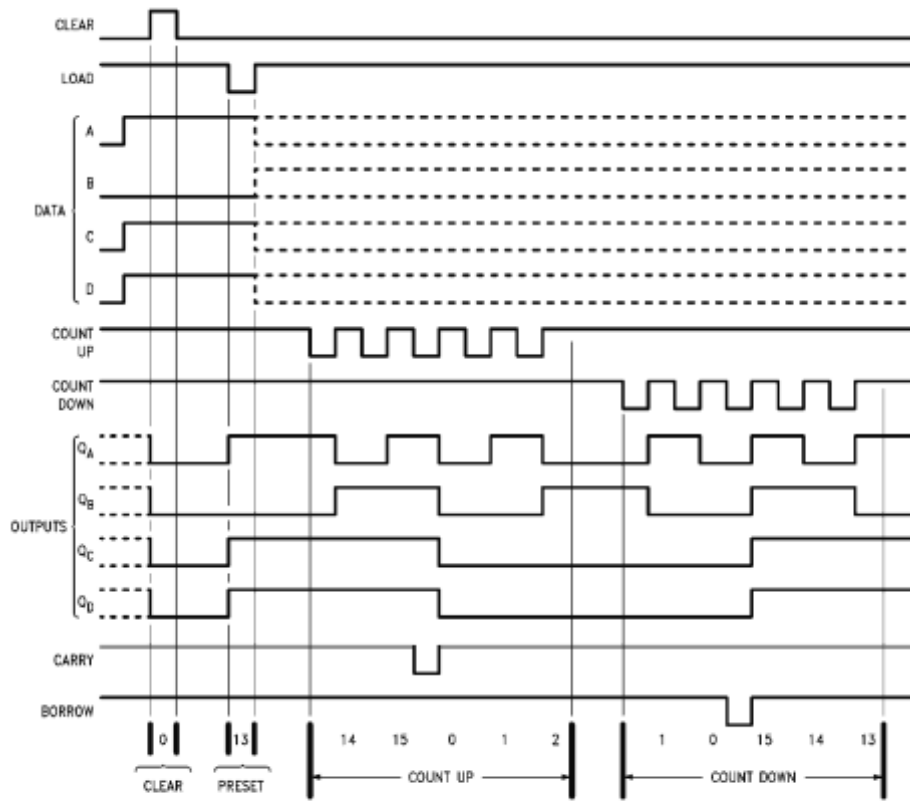
### Programlanabilir 4 Bit Binary Yukarı Aşağı Sayıcı

74193, programlanabilir 4 bitlik binary yukarı-aşağı senkron sayıcı entegresidir. İstenilen sayıdan yukarı veya aşağı sayma işlemi yapılabilir.

Şekil 2' de verilen zaman diyagramından anlaşılacağı gibi, sayma işlemi için Clear girişi "L" ve Load girişi "H" seviyede olmalıdır. Yukarı sayma işlemi için Count Up girişine Clock sinyali ve Count Down girişine ise "H" uygulanır. Aşağı sayma işlemi için Count Down girişine Clock sinyali ve Count Up girişine ise "H" uygulanır. Sayıcıyı programlamak yani istenilen sayıdan yukarı veya aşağı yönde saydırmak için, Load girişine "H" uygulanır. Data Inputs (D,C,B,A) girişlerine başlangıç sayısı girildikten sonra Load girişine "L" uygulanır ve Clock sinyalinin verildiği giriş ucuna bağlı olarak sayıcı yukarı veya aşağı yönde sayar. Bu sayma işleminin döngüsel olarak devam etmesi isteniyorsa yukarı sayma işleminde Carry, aşağı sayma işleminde ise Borrow çıkışı Load girişine bağlanmalıdır. Sayma işlemi nasıl olursa olsun Clear girişine "H" uygulandığında sayıcı çıkışları sıfırlanır (0000). Yukarı yönlü sayma işleminde çıkışlar 1111 olduğunda Carry çıkışı ve aşağı sayma yönünde çıkışlar 0000 olduğunda Borrow çıkışı bir sonraki clock sinyali gelene kadar "L" seviyeye düşer.



**Şekil 1 74193 entegresinin ayak yapısı**

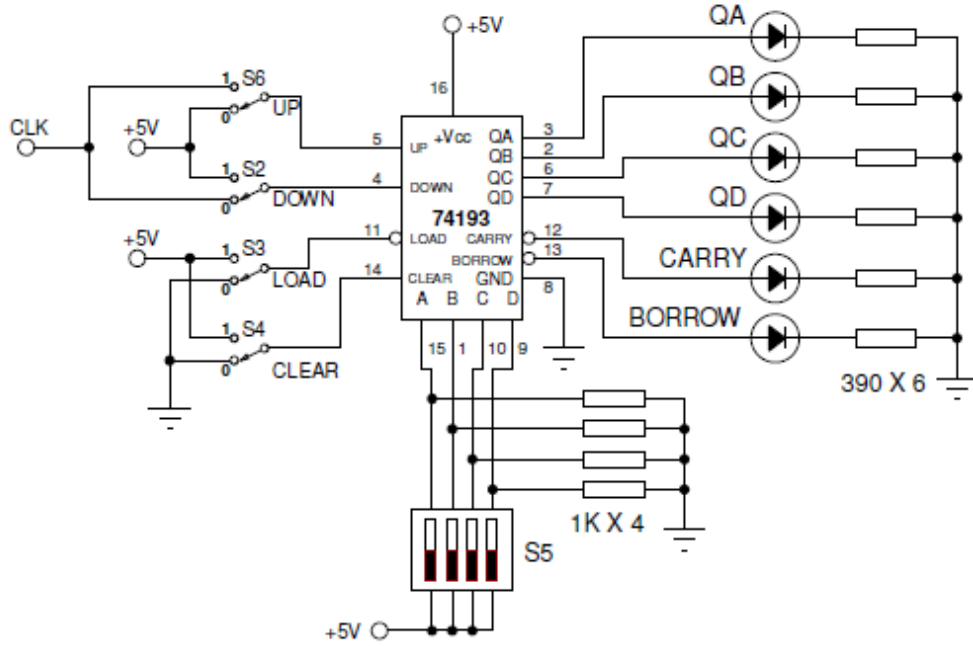


**Şekil.2 74193 entegresinin zaman diyagramı**

#### Deneyin Yapılışı:

1. BL-3002 modülünü ana üniteye yerleştirin ve B bloğunu bulun.
2. Devrenin CLK girişine ana üniteden 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana ünitadaki pils devresi yardımıyla manuel olarak da uygulanabilir.
3. S<sub>3</sub> anahtarını "0" konumuna alarak Load girişine "L" uygulayın
4. S<sub>5</sub> anahtar grubu ile sayıcının ikilik tabanda başlangıç değerini girin.
5. S<sub>3</sub> anahtarını "1" konumuna alarak Load girişine "H" uygulayın. Başlangıç değerini çıkışta gözlemleyin.
6. S<sub>2</sub> ve S<sub>6</sub> anahtarlarını "1" konumuna alın. Bu şekilde Down girişine "H" ve Up girişine CLK sinyali uygulanacak ve sayıcı yukarı sayacaktır. Çıkıştaki sayının her clock pils geldiğinde yukarı doğru arttığını gözlemleyin.
7. S<sub>6</sub> anahtarını "0" konumuna alıp sayma işlemini durdurun.
8. S<sub>4</sub> anahtarını "1" nolu konuma alarak Clear girişine "H" uygulayıp sayıcıyı sıfırladıktan sonra bu anahtarı tekrar "0" konumuna alın.
9. S<sub>3</sub> anahtarını "0" konumuna alarak Load girişine "L" uygulayın.
10. S<sub>5</sub> anahtar grubu ile sayıcının ikilik tabanda başlangıç değerini girin.
11. S<sub>3</sub> anahtarını "1" konumuna alarak Load girişine "H" uygulayın. Başlangıç değerini çıkışta gözlemleyin.
12. S<sub>2</sub> ve S<sub>6</sub> anahtarlarını "0" konumuna alın. Bu şekilde Up girişine "H" ve Down girişine CLK sinyali uygulanacak ve sayıcı aşağı sayacaktır. Çıkıştaki sayının her clock pils geldiğinde aşağı doğru azaldığını gözlemleyin.
13. Yukarı ve aşağı yönlü sayma işlemleri boyunca, Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub> ve Q<sub>D</sub> sayma çıkışları ile Carry (12 nolu ayak) ve Borrow (13 nolu ayak) çıkışlarındaki değişimleri gözlemleyin.

14.  $Q_A$ ,  $Q_B$ ,  $Q_C$  ve  $Q_D$  sayma çıkışlarını ana ünitedeki 7 segment display girişlerine bağlayarak gözlemlerinizi tekrarlayın.



Şekil.3 – 74193 Yukarı-Aşağı Programlanabilir Sayıcı Devresi

| CLOCK      |            | CLEAR | LOAD | İŞLEM |
|------------|------------|-------|------|-------|
| UP         | DOWN       |       |      |       |
| $\uparrow$ | H          | L     | H    |       |
| H          | $\uparrow$ | L     | H    |       |
| X          | X          | H     | X    |       |
| X          | X          | L     | L    |       |
| H          | H          | L     | H    |       |

X: Önemli

Tablo 1 – 74193 Yukarı-Aşağı Programlanabilir Sayıcı İşlem Tablosu

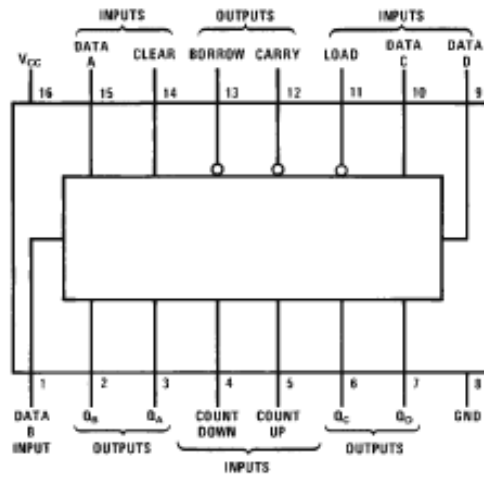
## EET-206 SAYISAL ELEKTRONİK - II LABORATUVARI

DENEY NO : 7

DENEYİN ADI : SAYICILAR - 74192

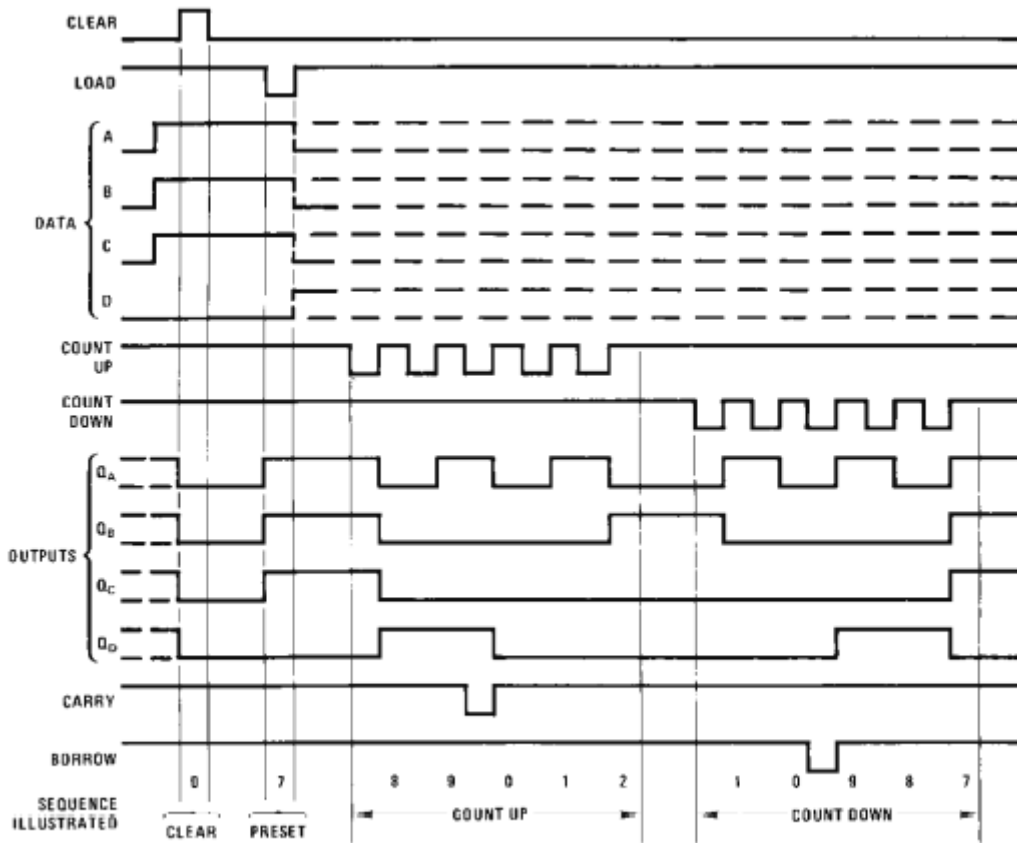
### Programlanabilir 4 BİT BCD Yukarı Aşağı Sayıcı

74192, programlanabilir 4 bitlik BCD yukarı-aşağı senkron sayıcı entegresidir. İstenilen sayıdan yukarı veya aşağı sayma işlemi yapılabilir. Şekil 2' de verilen zaman diyagramından anlaşılabileceği gibi, sayma işlemi için Clear girişi "L" ve Load girişi "H" seviyede olmalıdır. Yukarı sayma işlemi için Count Up girişine Clock sinyali ve Count Down girişine ise "H" uygulanır. Aşağı sayma işlemi için Count Down girişine Clock sinyali ve Count Up girişine ise "H" uygulanır. Sayıcıyı programlamak yani istenilen sayıdan yukarı veya aşağı yönde saydırmak için, Load girişine "H" uygulanır. Data Inputs (D,C,B,A) girişlerine başlangıç sayısı girildikten sonra Load girişine "L" uygulanır ve Clock sinyalinin verildiği giriş ucuna bağlı olarak sayıcı yukarı veya aşağı yönde sayar. Bu sayma işleminin döngüsel olarak devam etmesi isteniyorsa yukarı sayma işleminde Carry, aşağı sayma işleminde ise Borrow çıkışı Load girişine bağlanmalıdır. Sayma işlemi nasıl olursa olsun Clear girişine "H" uygulandığında sayıcı çıkışları sıfırlanır (0000). Yukarı yönlü sayma işleminde çıkışlar 1001 olduğunda Carry çıkışı ve aşağı sayma yönünde çıkışlar 0000 olduğunda Borrow çıkışı bir sonraki clock sinyali gelene kadar "L" seviyeye düşer.



Şekil 1 74192 entegresinin ayak yapısı



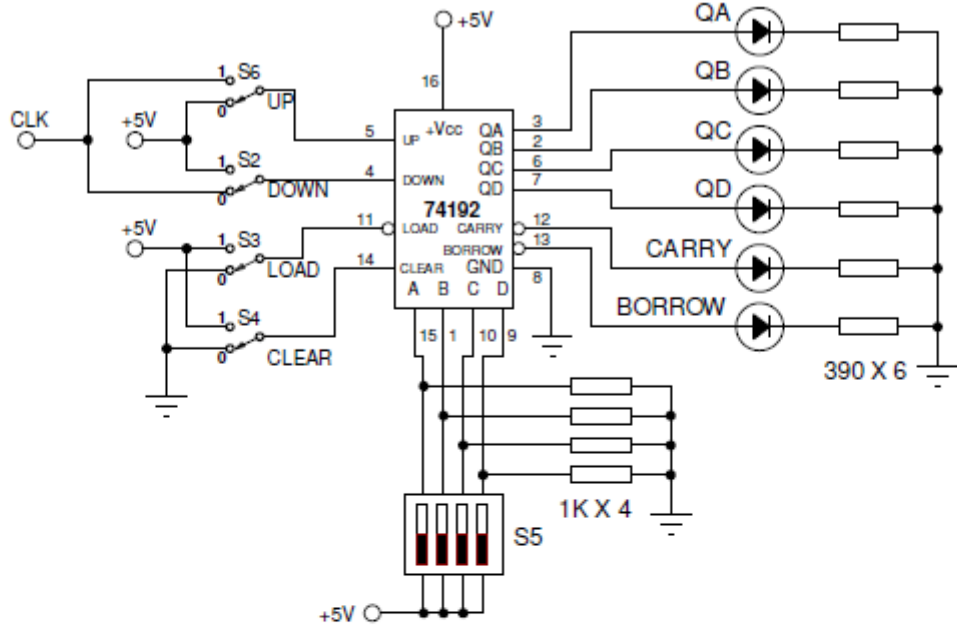


**Şekil.2 74192 entegresinin zaman diyagramı**

### Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve I bloğunu bulun.
2. Ana üniteye anahtar ve LED'leri de kullanarak Şekil 3' deki devreyi kurun.
3. Devrenin CLK girişine ana üniteye 1Hz' lik kare dalga sinyal uygulayınız. Saat darbeleri ana üniteye pils devresi yardımıyla manuel olarak da uygulanabilir.
4. S<sub>3</sub> anahtarını "0" konumuna alarak Load girişine "L" uygulayın
5. S<sub>5</sub> anahtar grubu (ana üniteye anahtarları kullanın) ile sayıcının ikilik tabanda başlangıç değerini girin.
6. S<sub>3</sub> anahtarını "1" konumuna alarak Load girişine "H" uygulayın. Başlangıç değerini çıkışta gözlemleyin.
7. S<sub>2</sub> ve S<sub>6</sub> anahtarlarını "1" konumuna alın. Bu şekilde Down girişine "H" ve Up girişine CLK sinyali uygulanacak ve sayıcı yukarı sayacaktır. Çıkıştaki sayının her clock pils geldiğinde yukarı doğru arttığını gözlemleyin.
8. S<sub>6</sub> anahtarını "0" konumuna alıp sayma işlemini durdurun.
9. S<sub>4</sub> anahtarını "1" nolu konuma alarak Clear girişine "H" uygulayıp sayıcıyı sıfırladıktan sonra bu anahtarı tekrar "0" konumuna alın.
10. S<sub>3</sub> anahtarını "0" konumuna alarak Load girişine "L" uygulayın.
11. S<sub>5</sub> anahtar grubu ile sayıcının ikilik tabanda başlangıç değerini girin.
12. S<sub>3</sub> anahtarını "1" konumuna alarak Load girişine "H" uygulayın. Başlangıç değerini çıkışta gözlemleyin.
13. S<sub>2</sub> ve S<sub>6</sub> anahtarlarını "0" konumuna alın. Bu şekilde Up girişine "H" ve Down girişine CLK sinyali uygulanacak ve sayıcı aşağı sayacaktır. Çıkıştaki sayının her clock pils geldiğinde aşağı doğru azaldığını gözlemleyin.

14. Yukarı ve aşağı yönlü sayma işlemleri boyunca,  $Q_A$ ,  $Q_B$ ,  $Q_C$  ve  $Q_D$  sayma çıkışları ile Carry (12 nolu ayak) ve Borrow (13 nolu ayak) çıkışlarındaki değişimleri gözlemleyin.
15.  $Q_A$ ,  $Q_B$ ,  $Q_C$  ve  $Q_D$  sayma çıkışlarını ana ünitedeki 7 segment display girişlerine bağlayarak gözlemlerinizi tekrarlayın.



Şekil.3 – 74192 Yukarı-Aşağı Programlanabilir Sayıcı Devresi

| CLOCK |      | CLEAR | LOAD | İŞLEM |
|-------|------|-------|------|-------|
| UP    | DOWN |       |      |       |
|       | H    | L     | H    |       |
| H     |      | L     | H    |       |
| X     | X    | H     | X    |       |
| X     | X    | L     | L    |       |
| H     | H    | L     | H    |       |

X: Önemsiz

Tablo 1 – 74192 Yukarı-Aşağı Programlanabilir Sayıcı İşlem Tablosu

**DENEY NO : 8**

**DENEYİN ADI : SHIFT REGISTER (KAYDIRMALI KAYDEDİCİ)**

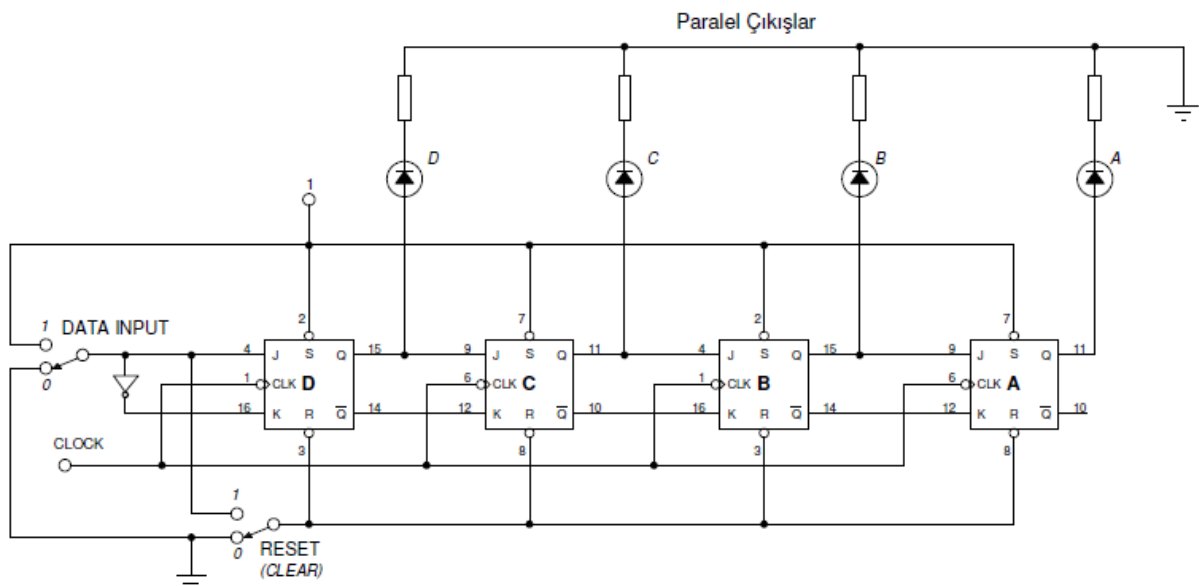
### Giriş

Kaydediciler, ikilik tabandaki bilgileri saklamaya elverişli hücreler grubudur. Bu grupta kaydedici görevini flip-flop' lar üstlenmektedir. Her flip-flop bir bitlik saklama kapasitesine sahiptir. Kaydedicinin saklama kapasitesini gruptaki flip-flop sayısı belirler. Kaydediciler bünyesindeki flip-flop' ların yapılarından dolayı ardışıl lojik ( Sequential) grubuna girmektedir.

Kaydırmalı kaydediciler, bünyesindeki flip-flop' ların hafızalarındaki bilgileri, her saat darbesi geldiğinde, bir sonraki flip-flop' a kaydırır. En basit bir kaydırma kaydedicisi, girişleri kendinden öncekinin çıkışına kaskad bağlı D tipi flip-flop' lardan oluşur. İlk flip-flop' un girişine ise seri bilgi uygulanır. Her bir saat darbesinde flip-flop' lardaki bilgiler sola kaydırmalı kaydedicide soldaki; sağa kaydırmalı kaydedicide ise sağdaki flip-flop' a geçer.

### Deneyin Yapılışı:

1. BL-3002 modülünü ana üniteye yerleştirin ve A bloğunu bulun.
2. Ana ünite üzerindeki anahtar ve LED' leri de kullanarak Şekil 1' deki devreyi kurun.
3. RESET (CLEAR) anahtarını "0" konumuna alıp Flip-Flop' ları sıfırladıktan sonra RESET (CLEAR) anahtarını tekrar "1" konuma getirin.
4. DATA INPUT anahtarını "1" konumuna alın.
5. CLOCK girişini ana ünite üzerindeki pozitif PALS (Q) çıkışına bağlayın.
6. Ana ünite üzerindeki PALS butonuna basarak flip-flop' lara clock uygulayıp, çıkış LED' lerini gözlemleyin.
7. Tüm çıkışlar lojik "1" olup LED' ler yandıktan sonra, DATA INPUT anahtarını "0" konumuna alın.
8. Ana ünite üzerindeki PALS butonuna basarak flip-flop' lara clock uygulayıp, çıkış LED' lerini gözlemleyin.
9. Gözlemlerinizi tabloya kaydedin.



**Şekil 1** Seri giriş paralel çıkış sağa kaydırmalı kaydedici devresi

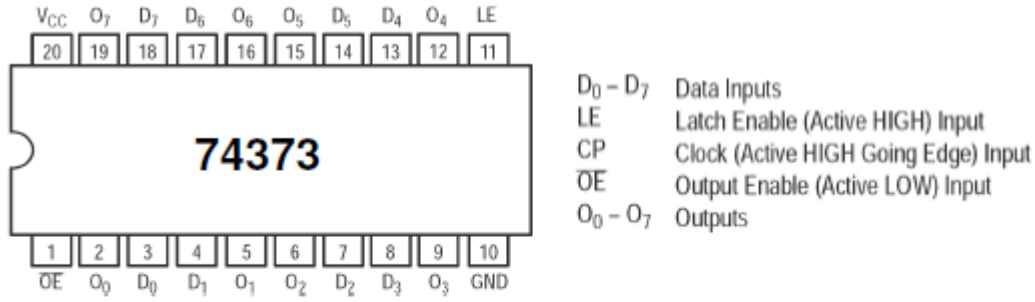
| RESET<br>(CLEAR) | DATA INPUT | CLOCK | D | C | B | A |
|------------------|------------|-------|---|---|---|---|
| L                | X          | X     |   |   |   |   |
| H                | H          | 1     |   |   |   |   |
| H                | H          | 2     |   |   |   |   |
| H                | L          | 3     |   |   |   |   |
| H                | H          | 4     |   |   |   |   |
| H                | L          | 5     |   |   |   |   |
| H                | L          | 6     |   |   |   |   |
| H                | L          | 7     |   |   |   |   |
| H                | L          | 8     |   |   |   |   |

## EET-206 SAYISAL ELEKTRONİK - II LABORATUVARI

DENEY NO : 9

DENEYİN ADI : LATCH, 3 DURUMLU BUFFER, ANALOG SWITCH, RAM

8' li Latch



**Şekil 1 74373 entegresinin ayak yapısı ve pin isimleri**

| D <sub>n</sub> | LE | $\overline{OE}$ | O <sub>n</sub> |
|----------------|----|-----------------|----------------|
| H              | H  | L               | H              |
| L              | H  | L               | L              |
| X              | L  | L               | Q <sub>0</sub> |
| X              | X  | H               | Z              |

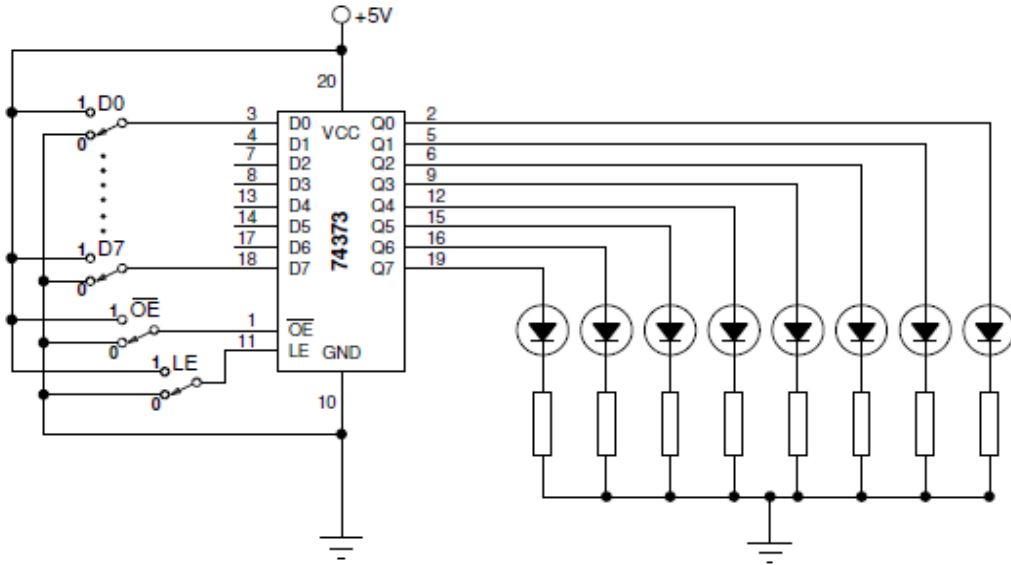
*X: Önemli*  
*Z: Yüksek Empedans*  
*Q<sub>0</sub>: Bir önceki durum*

**Tablo 1 74373 entegresinin doğruluk tablosu**

**74373**, 3 durumlu 8 çıkışa sahip LATCH entegresidir. OE (Output Enable) kontrol ucu "L" yapıldığında çıkışlar yüksek empedans konumuna geçerler. Bu durumda çıkışlarda herhangi bir veri görülmez. Normal çalışmada bu uç "L" seviyeye çekilir. İkinci kontrol ucu olan LE (Latch Enable) "H" durumda iken, girişlerdeki veriler ilgili çıkışlara aktarılır. LATCH' lerin en önemli özelliklerinden birisi, bu çalışma modunda herhangi bir giriş değiştiğinde ilgili çıkışın da aynı anda değişmesidir. Diğer bir söyleyişle, girişlerdeki değişikliklerin çıkışa yansması için herhangi bir tetiklemeye ihtiyaç bulunmamaktadır. LE ucu "L" yapıldığında ise, giriş verileri değişse bile çıkışlar bir önceki durumlarını korumaya devam ederler (Tablo 1).

#### Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve D bloğunu bulun.
2. Ana üniteye anahtar ve LED' leri de kullanarak şekil 2' deki devreyi kurun.
3. Tablo 2' yi gözlemleriniz doğrultusunda doldurunuz.

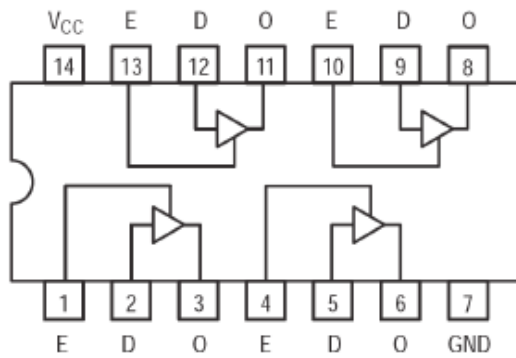


Şekil.2 8 bit LATCH devresi

| LE | OE | D <sub>0</sub> | D <sub>1</sub> | D <sub>2</sub> | D <sub>3</sub> | D <sub>4</sub> | D <sub>5</sub> | D <sub>6</sub> | D <sub>7</sub> | Q <sub>0</sub> | Q <sub>1</sub> | Q <sub>2</sub> | Q <sub>3</sub> | Q <sub>4</sub> | Q <sub>5</sub> | Q <sub>6</sub> | Q <sub>7</sub> |
|----|----|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| H  | L  | 0              | 0              | 0              | 0              | 0              | 0              | 0              | 0              |                |                |                |                |                |                |                |                |
| H  | L  | 0              | 0              | 0              | 0              | 0              | 1              | 1              | 0              |                |                |                |                |                |                |                |                |
| L  | L  | 0              | 1              | 0              | 0              | 1              | 1              | 0              | 0              |                |                |                |                |                |                |                |                |
| H  | L  | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              |                |                |                |                |                |                |                |                |
| H  | H  | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              |                |                |                |                |                |                |                |                |
| L  | L  | 0              | 0              | 0              | 0              | 1              | 1              | 1              | 1              |                |                |                |                |                |                |                |                |
| L  | H  | 1              | 1              | 1              | 1              | 0              | 0              | 0              | 0              |                |                |                |                |                |                |                |                |
| H  | L  | 1              | 1              | 0              | 0              | 0              | 0              | 1              | 1              |                |                |                |                |                |                |                |                |
| H  | L  | 0              | 0              | 1              | 1              | 1              | 1              | 0              | 0              |                |                |                |                |                |                |                |                |
| H  | L  | 1              | 1              | 1              | 1              | 1              | 1              | 1              | 1              |                |                |                |                |                |                |                |                |

Tablo.2 8 bit LATCH işlem tablosu

### 3 Durumlu Buffer



| INPUTS |   | OUTPUT |
|--------|---|--------|
| E      | D |        |
| H      | L | L      |
| H      | H | H      |
| L      | X | (Z)    |

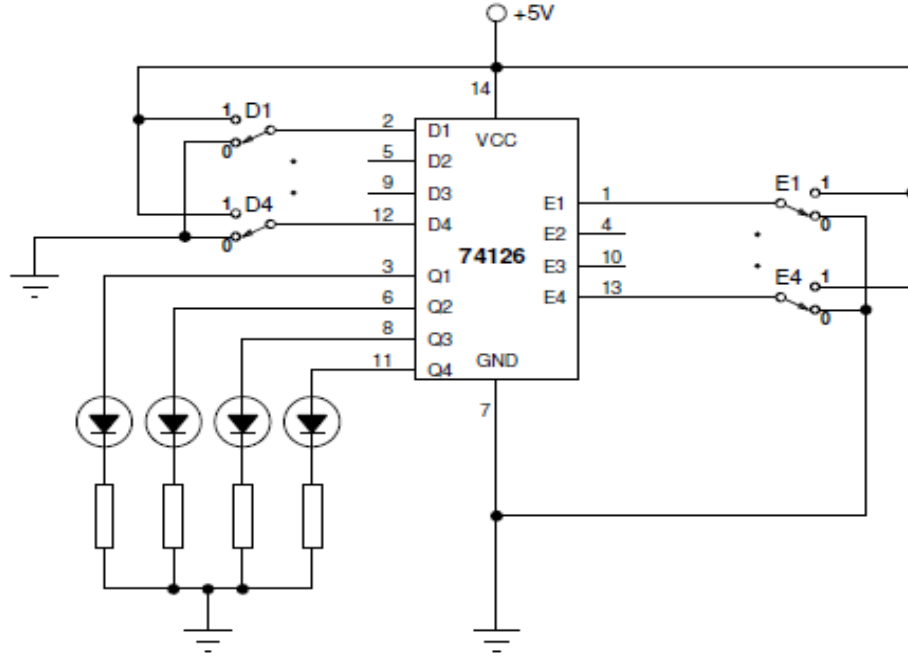
(Z):Yüksek Empedans

Şekil.3 74126 entegresinin ayak yapısı ve 74126 entegresinin işlem tablosu

74126, 3 durumlu çıkışlara sahip 4 adet BUFFER' den oluşmaktadır. E (Enable) ucu "H" yapıldığında, D (Data) girişindeki veri ilgili O (Output) çıkışında görülür. E kontrol ucu "L" değerini aldığı anda, giriş değerleri önemini yitirir ve çıkışlar yüksek empedans konumuna geçerler (Şekil 3).

#### Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve K bloğunu bulun.
2. Ana ünitedeki anahtar ve LED' leri de kullanarak Şekil 4' deki devreyi kurun.
3. Tablo 4' ü gözlemleriniz doğrultusunda doldurunuz.

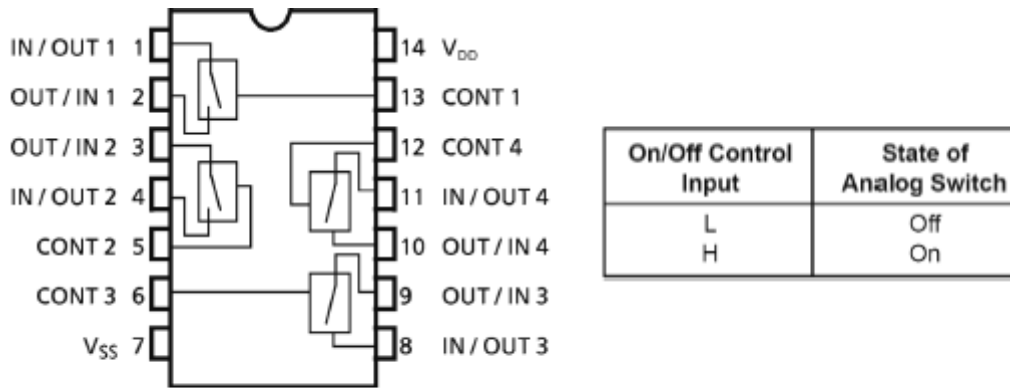


Şekil 4 3 durumlu BUFFER

| LE | D <sub>1</sub> | D <sub>2</sub> | D <sub>3</sub> | D <sub>4</sub> | Q <sub>1</sub> | Q <sub>2</sub> | Q <sub>3</sub> | Q <sub>4</sub> |
|----|----------------|----------------|----------------|----------------|----------------|----------------|----------------|----------------|
| H  | 1              | 1              | 1              | 1              |                |                |                |                |
| H  | 0              | 0              | 1              | 1              |                |                |                |                |
| L  | 0              | 0              | 1              | 1              |                |                |                |                |
| H  | 1              | 1              | 0              | 0              |                |                |                |                |
| H  | 1              | 1              | 0              | 0              |                |                |                |                |
| L  | 1              | 1              | 0              | 0              |                |                |                |                |
| H  | 1              | 0              | 1              | 0              |                |                |                |                |
| L  | 1              | 0              | 1              | 0              |                |                |                |                |
| H  | 1              | 1              | 1              | 1              |                |                |                |                |

Tablo 3 3 durumlu BUFFER işlem tablosu

## Analog Switch

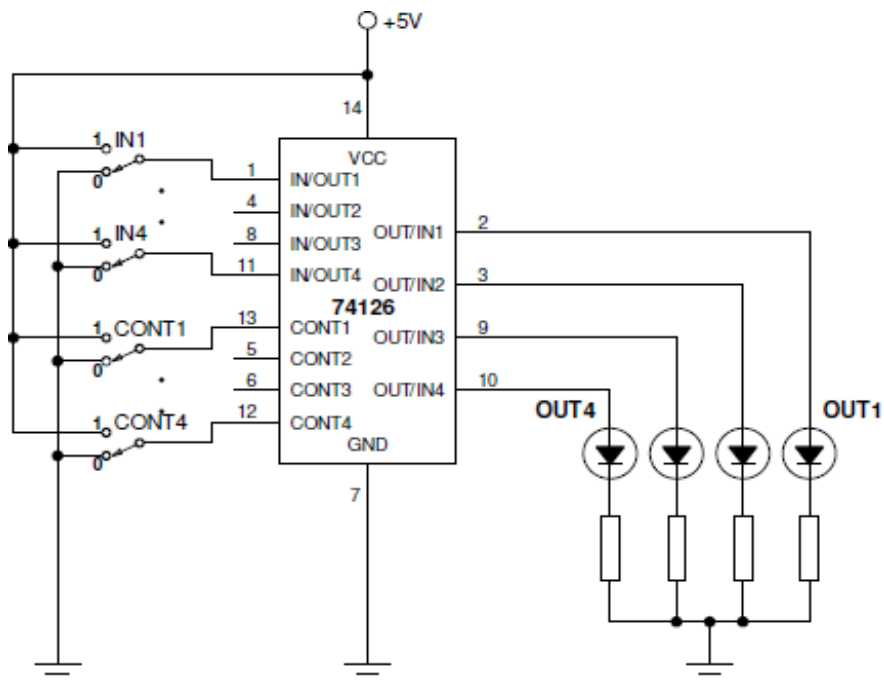


**Şekil .5 4066 entegresinin ayak yapısı ve entegresinin işlem tablosu**

4066, 4 adet çift yönlü switch' e (anahtar) sahiptir. Bu anahtarlar analog olup, besleme gerilimi sınırları içinde analog veya lojik sinyal geçişini kontrol edebilirler. CONT (Control) uçları anahtarların açık veya kapalı olmasını kontrol eder. CONT ucu "L" olduğunda ilgili anahtar "OFF" konumda olup sinyal geçişine izin vermez. Anahtarın kapanması için CONT ucu "H" yapılmalıdır (Tablo 4). IN/OUT ve OUT/IN uçları giriş veya çıkış olarak kullanılabilir.

### Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve J bloğunu bulun.
2. Ana üniteadaki anahtar ve LED' leri de kullanarak şekil 6' daki devreyi kurun.
3. Tablo 5' i gözlemlerinizi doğrultusunda doldurunuz.



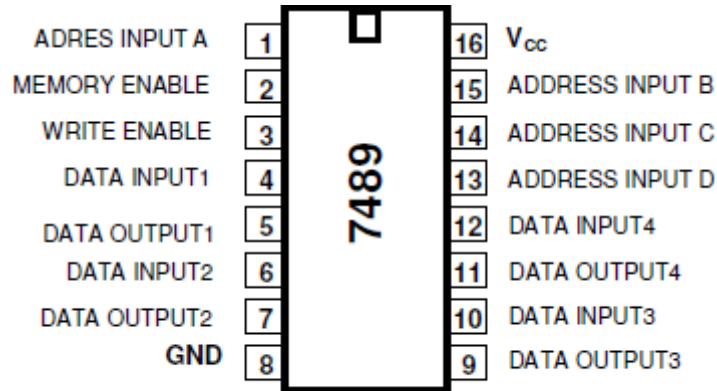
**Şekil 6 Analog Switch**



| CONT1 | CONT2 | CONT3 | CONT4 | IN1 | IN2 | IN3 | IN4 | OUT1 | OUT2 | OUT3 | OUT4 |
|-------|-------|-------|-------|-----|-----|-----|-----|------|------|------|------|
| L     | L     | L     | L     | 1   | 1   | 1   | 1   |      |      |      |      |
| H     | H     | H     | H     | 1   | 1   | 1   | 1   |      |      |      |      |
| L     | L     | H     | H     | 1   | 1   | 1   | 1   |      |      |      |      |
| H     | H     | L     | L     | 1   | 1   | 1   | 1   |      |      |      |      |
| H     | H     | H     | H     | 0   | 0   | 0   | 0   |      |      |      |      |
| L     | H     | L     | H     | 1   | 1   | 1   | 1   |      |      |      |      |
| H     | L     | H     | L     | 1   | 1   | 1   | 1   |      |      |      |      |
| L     | H     | H     | L     | 1   | 1   | 1   | 1   |      |      |      |      |
| H     | L     | L     | H     | 1   | 1   | 1   | 1   |      |      |      |      |

*Tablo 4 Analog switch işlem tablosu*

#### 64 BİT RAM (Random Access Read/Write Memory)



*Şekil .7 7489 entegresinin ayak yapısı*

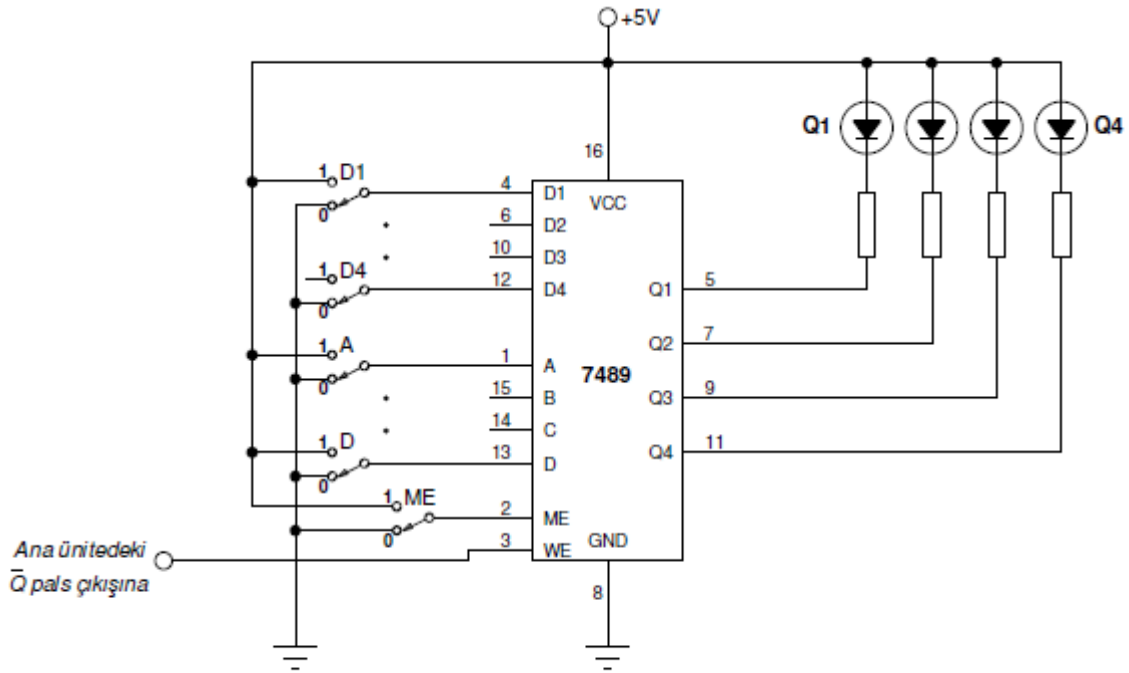
| ME | WE | İŞLEM                                                     | ÇIKIŞLAR                                                |
|----|----|-----------------------------------------------------------|---------------------------------------------------------|
| 0  | 0  | Seçilen adrese girişteki veriyi (4 bit' lik sözcük) yazar | Lojik 1                                                 |
| 0  | 1  | Seçilen adresteki verileri çıkışa aktarır                 | Seçilen adresteki verinin (4 bit' lik sözcük) tümleyeni |
| 1  | X  | Önceden girilen verileri saklar                           | Lojik 1                                                 |

*Tablo .5 7489 entegresinin işlem tablosu*

4066, her biri 4 bit olan 16 sözcükten oluşan bir hafıza entegresidir (16x4=64 bit). 4 adres girişi (A, B, C ve D) 24=16 sözcüğü adresleyerek, herhangi birinin seçimini sağlar. En düşük değerlikli adres girişi A ve en büyük değerlikli adres girişi ise D' dir. Entegre çıkışları open kolektör olup, birer dirençle lojik "1" e çekilmelidir.

### Deneyin Yapılışı:

1. BL-3004 modülünü ana üniteye yerleştirin ve E bloğunu bulun.
2. Ana ünite üzerindeki anahtar ve LED'leri kullanarak Şekil 8'deki devreyi kurun (entegre çıkışına ana ünite üzerindeki LOW aktif LED'leri bağlayın).
3. ME anahtarını "0" konumuna alarak entegreyi yetkilendirin (okuma ve yazma yapılabilir).
4. Ana ünite üzerindeki negatif PALS çıkışını (Bu çıkış normalde "1" seviyesinde olup, butona basıldığında kısa bir süre için çıkış "0" a gitmekte ve ardından tekrar "1" olmaktadır.) entegrenin WE girişine bağlayın. Böylece WE kontrol ucu normalde "1" de kalacak ve entegre okuma işlemi yapacaktır. Butona basıldığında ise, adreslenen bölgeye girişte bulunan 4 bit'lik sözcük yazılacaktır. Buton bırakıldığında, PALS çıkışı ve buna bağlı olarak WE kontrol girişi tekrar "1" olacağından, entegre okuma işlemine dönecek ve adresin gösterdiği bölgedeki sözcük çıkışta okunacaktır. Böylece herhangi bir adrese yanlışlıkla veri yazılması engellenmiş olur.
5. Her bir adrese kendi değerindeki binary sayıyı yazın (Örneğin "0000" adresine "0000" verisini yazın).
6. Yazma işlemi bittikten sonra adresleri sırayla okuyarak çıkışları gözlemleyin.



Şekil .8 64 bit RAM